

印制电路板 PCB 的测试方法及装置方法及装置

技术领域

本公开涉及通信领域，具体而言，涉及一种 PCB 的测试方法及装置。

背景技术

随着多层印制电路板产品在重量、尺寸、复杂度等方面的增大，以及市场对产品可靠性要求的提升，印制电路板（Printed Circuit Board + Assembly，简称 PCB）上所组装的器件的应力失效问题日益突出，成为制约产品性能和客户评价提升的瓶颈。下文中所述的 PCBA 是指 PCB 空板经过 SMT 和插件等工序，组装了电子元器件之后的电路板产品。所述应力是指物体由于外因（受力、湿度、温度场变化等）而变形时，在物体内各部分之间产生相互作用的内力，以抵抗这种外因的作用，并试图使物体从变形后的位置恢复到变形前的位置。所述应力失效是指 PCBA 在受到外部应力的条件下，PCBA 所包含的 PCB、器件本体、焊点等产生形变，使材料出现塑性断裂、疲劳断裂等破坏形态，导致 PCBA 整体或局部的机械、电气等性能失效。

现有技术中，PCBA 行业为衡量评估其产品所受的上述应力失效风险，通常在 PCB 表面特定位置粘贴应变片以测量应变，用于表征目标位置或目标对象的应力风险。该特定位置通常位于 PCB 上表面或下表面。现有技术测试流程为：用刀具或烙铁除去目标位置的干涉物——砂纸打磨目标位置——酒精清洁目标位置——将应变片粘贴到目标位置——应变片连接到采集仪——测试应变。

然而上述流程中存在如下的缺点：（1）测试需清理打磨目标位置，对局部区域的器件、表层、导电层等造成破坏，即等于破坏整个 PCBA，导致测试样本成本高昂。（2）应变片粘贴无参考物，难以准确地按标准粘贴，导致测试数据准确性和有效性较低。

发明内容

本公开实施例提供了一种 PCB 的确定方法及装置，以至少解决相关技术中传统测试方法在测试后 PCB 会报废带来的高昂成本的问题。

根据本公开的一个实施例，提供了一种 PCB 的测试方法，包括：确定待测试的区域在 PCB 上的位置；去除该位置的指定层，以裸露所述绝缘层表面生成所述待测试区域；利用所述待测试区域周围设置的辅助图像标识，调整并将应变片放置在所述待测试区域上进行粘合；将测试设备接入至所述应变片并对所述待测试区域进行测试。

根据本公开的又一个实施例，还提供了一种印制电路板 PCB 的确定装置，包括：确定模块，设置为确定待测试的区域在 PCB 上的位置；去除模块，设置为去除该位置的指定层，以裸露所述绝缘层表面生成所述待测试区域；粘合模块，设置为利用 PCB 中待测试区域周围设置的辅助图像标识，调整并将应变片放置在所述待测试区域上进行粘合；测试模块，设置为将测试设备接入至所述应变片并对所述待测试区域进行测试。

根据本公开的又一个实施例，还提供了一种存储介质，所述存储介质中存储有计算机程序，其中，所述计算机程序被设置为运行时执行上述任一项方法实施例中的步骤。

根据本公开的又一个实施例，还提供了一种电子装置，包括存储器和处理器，所述存储器中存储有计算机程序，所述处理器被设置为运行所述计算机程序以执行上述任一项方法实施例中的步骤。

通过本公开，由于利用所述待测试区域周围设置的辅助图像标识确定，因此，可以解决了传统测试方法在测试后 PCB 会报废带来的高昂成本的问题，达到了降低 PCB 测试成本的效果。

附图说明

此处所说明的附图用来提供对本公开的进一步理解，构成本申请的一部分，本公开的示意性实施例及其说明用于解释本公开，并不构成对本公

开的不当限定。在附图中：

图 1 是根据本公开实施例的一种 PCB 的确定方法的流程图；

图 2 是根据本公开实施例的一种用于进行测试的 PCB；

图 3 是根据本公开实施例的一种用于进行测试的 PCB 剖面图；

图 4 是根据本公开实施例的另一种用于进行测试的 PCB；

图 5 是根据本公开实施例的一种用于进行测试的 PCB 剖面图；

图 6 是根据本公开实施例的一种 PCB 的确定装置的结构框图。

具体实施方式

下文中将参考附图并结合实施例来详细说明本公开。需要说明的是，在不冲突的情况下，本申请中的实施例及实施例中的特征可以相互组合。

需要说明的是，本公开的说明书和权利要求书及上述附图中的术语“第一”、“第二”等是用于区别类似的对象，而不必用于描述特定的顺序或先后次序。

实施例 1

在本实施例中提供了一种 PCB 的测试方法，图 1 是根据本公开实施例的一种 PCB 的确定方法的流程图，如图 1 所示，该流程包括如下步骤：

步骤 S102，确定待测试的区域在 PCB 上的位置；

步骤 S104，去除该位置的指定层，以裸露所述绝缘层表面生成所述待测试区域；

步骤 S106，利用所述待测试区域周围设置的辅助图像标识，调整并将应变片放置在所述待测试区域上进行粘合；

步骤 S108，将测试设备接入至所述应变片并对所述待测试区域进行测试。

需要说明的是，步骤 S102 与步骤 S104 是在设计阶段实现的，同时具体的确定位置的要求和去除的方式则是配置设计文件当中，而非在测试过

程中再进行确定测试位置以及相应的去除。因此，避免了传统测试方法在测试后 PCB 会报废带来的高昂成本的问题。

具体需要解释的是，应变的含义为，在外力和非均匀温度场等因素作用下物体局部的相对变形。因此，应变片是能够在外力和非均匀温度场等因素作用下物体局部的相对变形的薄片。

可选地，将所述辅助图像标识设置在所述指定区域周围，包括：通过丝网印刷加工工艺，将多个辅助定位点按照预设角度设置在所述待测试区域周围，其中，所述多个辅助定位点延长线交叉的中心为所述待测试区域的中心。

可选地，所述应变片至少包括以下其中之一：三轴应变片，单轴应变片。

可选地，在所述待测试对象为焊球阵列封装（Ball Grid Array，简称为 BGA）芯片时，所述应变片为所述三轴应变片，其中，确定所述待测试的区域在所述 PCB 上的位置，包括：根据所述 BGA 芯片的对角线按照预设长度进行外延，以确定所述待测试区域的位置，和/或确定所述 BGA 芯片焊点背面对应的位置；根据确定后的位置确定所述待测试区域。

可选地，在所述指定区域内次外层为绝缘层的 PCB，所述指定层为最外层绝缘层；在所述指定区域内次外层为导电层的 PCB，所述指定层为最外层绝缘层和次外层导电层；其中，所述绝缘层通过阻焊开窗方式去除；所述次外层导电层通过蚀刻方式去除。

可选地，在调整并将应变片放置在所述待测试区域上进行粘合之前，所述方法还包括：对所述待测试区域进行清洁。

可选地，将应变片放置在所述待测试区域上进行粘合，包括：在所述应变片和/或清洁后的所述待测试区域上添加粘合剂；在所述待测试区域中按压所述应变片以使所述应变片与所述绝缘层表面粘合。

需要指出的是，通过裸露绝缘层表面，而不是将整个 PCB 的待测试区域进行打磨，因此在测试过程中，既不会对局部区域的器件、表层、导

电层等造成破坏，同时节省了对成品 PCB 进行表面打磨的时间，因此，也变相提高了测试的效率。

可选地，在调整并将应变片放置在所述待测试区域上进行粘合之前，所述方法还包括：对所述待测试区域进行清洁。

具体而言，上述实施例中提到的清洁目标待测试区域工序，可以采用酒精等有机溶剂作为清洗剂，用于去除目标待测试区域表面的氧化物、油污等杂质。上述操作有助于测试的稳定性和 PCB 的保护。

可选地，将应变片放置在清洁后的所述待测试区域上进行粘合，包括：在所述应变片和清洁后的所述待测试区域上添加粘合剂；在所述待测试区域中按压所述应变片以使所述应变片与所述绝缘层表面粘合。

具体而言，上述提到的粘合剂，可以采用业界已有的 502 粘合剂或应变片专用粘合剂等，使应变片能与被测区域的导电层或次外绝缘层紧密结合，准确感应被测区域的应变。

为了更好的理解上述实施例中记载的技术方案，本实施例中还提供了如下两个场景，以便理解上述技术方案。

场景一：应用三轴应变片测试 BGA 芯片焊点应变的测试。

图 2 是根据本公开实施例的一种用于进行测试的 PCB，如图 2 所示，图 2 中包括：基板 20，BGA 芯片 21，待测试区域 22，辅助图像标识 231,232 以及 233。

如图 2 所示，待测试区域特指该 BGA 芯片 21 的对角线外延 5mm 位置，和/或 BGA 芯片 2*2 焊点背面对应位置。同时，三轴应变片的三轴交叉点位于 BGA 芯片对角线外延 5mm 点处，和/或 BGA 芯片 2*2 焊点背面对应点处。

需要说明的是，上述举例只是一种可选的方式，在实际应用当中，可以根据不同规格的 PCB 对参数进行调整，下同，在此不做过多赘述。

三轴应变片粘贴在待测试区域对应的指定图形区域内的裸露绝缘层

表面。指定图形区域为圆形或其他可容纳三轴应变片的图形，其圆直径或外切圆直径稍大于所用三轴应变片的直径或外切圆直径，通常在 $5.5 \pm 2\text{mm}$ 左右。具体而言，该指定图形区域的中心位于对角线外延上和/或 BGA 芯片 $2*2$ 焊点背面对应点。

具体而言，在场景 1 中，基板 30 的表层，待测试区域内（区域可不连续），有至少一个指定图形区域露出内层绝缘层，三轴应变片粘贴于此绝缘层表面。

在该指定图形区域外，添加辅助图形标识，用于测试过程中应变片放置的辅助定位。该辅助图形标识，是在指定图形区域附近的最外层绝缘层上，以丝网印刷的 PCB 加工工艺添加辅助定位图形，即如图 2 所示的辅助图像标识 231,232 以及 233，三者交叉点即对应三轴应变片轴交叉点，其中 231 在 BGA 芯片对角线延长线上。232 和 233 夹角为 90° ，231 和 232 夹角为 45° 。231,232 以及 233 中的任意一个或任意几个的组合，均可作为三轴应变片适用的辅助定位图形的一种可能。

图 3 是根据本公开实施例的一种用于进行测试的 PCB 剖面图。如图 3 所示，在图 2 的基础之上，图 3 中还包括：最外层绝缘层 31、次外层绝缘层 32，以及 PCB 内部层 33，待测试区域表面 34。

场景 1 中，所述 PCB 板具体由最外层绝缘层 31、次外层绝缘层 32 以及内部其他层 33 组成。其中，最外层绝缘层 31 可具体由阻焊层实现，用于绝缘和 PCB 的表面防护。次外层绝缘层 32 可具体由绝缘介质实现，用于绝缘。

如图 3 所示，以阻焊开窗的 PCB 加工工艺去除指定图形区域的最外层绝缘层 31，使得指定图形区域的次外层绝缘层 32 上表面的 34 裸露。

在完成上述准备工作后，场景 1 中的 PCB 的测试流程如下：

步骤 1: 用酒精清洁待测试区域，具体清洁对象为该区域裸露的绝缘层表面 34。

步骤 2: 在应变片的粘贴面，和/或待测试区域内的绝缘层表面 34，添

加粘合剂。

步骤 3: 将应变片放置到待测试区域, 并参考辅助图像标识 231-233 调整应变片至正确角度。

步骤 4: 按压应变片至粘合剂固化, 使应变片粘接到待测试区域的绝缘层表面。

步骤 5: 将应变片自带数据线连接到已有的应变测试仪器上。

步骤 6: 开启应变测试仪器, 进行应变测试。

场景二: 应用于单向应力风险的应变测试。

图 4 是根据本公开实施例的另一种用于进行测试的 PCB, 如图 4 所示, 图 4 中包括: 基板 40, 待测试区域 41, 辅助图像标识 421, 422。

具体而言, 应力风险区域的单向应变的测试原则: 单轴应变片的轴向平行于应力风险方向, 且处于能够充分表征该区域最大或典型应变值的位置。

在场景 2 中, 单轴应变片粘贴在应力风险区域对应的待测试区域内的裸露绝缘层表面。待测试区域为矩形或其他可容纳单轴应变片的图形, 其尺寸稍大于所用单轴应变片的尺寸, 本实例图形规格为 4.3mm*1.9mm。

在场景 2 中, 在 PCB 基板 40 的表层, 应力风险区域内 (区域可不连续), 有至少一个待测试区域露出内层绝缘层, 单轴应变片粘贴于此绝缘层表面。

在场景 2 中, 在该待测试区域外, 添加辅助图形标识, 用于测试过程中应变片放置的辅助定位。辅助图形标识, 是在待测试区域附近的最外层绝缘层上, 以丝网印刷的 PCB 加工工艺添加辅助定位图形, 即如图 4 所示的 421 及 422, 位于所示矩形图形的中轴线上, 且平行于矩形长边方向。421 及 422 中的任意一个或任意几个的组合, 均可作为单轴应变片适用的辅助定位图形的一种可能。

图 5 是根据本公开实施例的一种用于进行测试的 PCB 剖面图。如图 3 所示，在图 4 的基础之上，图 5 中还包括：最外层绝缘层 51、次外层导电层 52，次外层导电层 52 在指向 PCB 内部方向上的相邻绝缘层 53，PCB 内部层 54 以及待测试区域表面 55。

其中，最外层绝缘层 51 可具体由阻焊层实现，用于绝缘和 PCB 的表面防护。次外层导电层 52 可具体由铜箔实现，用于实现电流导通。次外层导电层在指向 PCB 内部方向上的相邻绝缘层 53 可具体由树脂绝缘层实现，用于绝缘。

如图 5 所示，以阻焊开窗的 PCB 加工工艺去除指定图形区域的最外层绝缘层 51，以蚀刻的 PCB 加工工艺去除指定图形区域的次外层导电层 52，使得次外层导电层在指向 PCB 内部方向上的相邻绝缘层 53 的上表面 55 裸露。

在完成上述准备工作后，场景 2 中的 PCB 的测试流程如下：

步骤 1：用酒精清洁待测试区域，具体清洁对象为该区域裸露的绝缘层表面 55。

步骤 2：在应变片的粘贴面，和/或待测试区域内的绝缘层表面 55，添加粘合剂。

步骤 3：将应变片放置到待测试区域，并参考辅助图像标识 421-422 调整应变片至正确角度。

步骤 4：按压应变片至粘合剂固化，使应变片粘接到待测试区域的绝缘层表面。

步骤 5：将应变片自带数据线连接到已有的应变测试仪器上。

步骤 6：开启应变测试仪器，进行应变测试。

通过以上的实施方式的描述，本领域的技术人员可以清楚地了解到根据上述实施例的方法可借助软件加必需的通用硬件平台的方式来实现，当然也可以通过硬件，但很多情况下前者是更佳的实施方式。基于这样的理

解，本公开的技术方案本质上或者说对现有技术做出贡献的部分可以以软件产品的形式体现出来，该计算机软件产品存储在一个存储介质（如 ROM/RAM、磁碟、光盘）中，包括若干指令用以使得一台终端设备（可以是手机，计算机，服务器，或者网络设备等等）执行本公开各个实施例所述的方法。

实施例 2

在本实施例中还提供了一种 PCB 的测试装置，该装置用于实现上述实施例及优选实施方式，已经进行过说明的不再赘述。如以下所使用的，术语“模块”可以实现预定功能的软件和/或硬件的组合。尽管以下实施例所描述的装置较佳地以软件来实现，但是硬件，或者软件和硬件的组合的实现也是可能并被构想的。

图 6 是根据本公开实施例的一种 PCB 的确定装置的结构框图，如图 6 所示，该装置包括：确定模块 62，设置为确定待测试的区域在 PCB 上的位置；

去除模块 64，设置为去除该位置的指定层，以裸露所述绝缘层表面生成所述待测试区域；

粘合模块 66，设置为利用 PCB 中待测试区域周围设置的辅助图像标识，调整并将应变片放置在所述待测试区域上进行粘合；

测试模块 68，设置为将测试设备接入至所述应变片并对所述待测试区域进行测试。

需要说明的是，上述各个模块是可以通过软件或硬件来实现的，对于后者，可以通过以下方式实现，但不限于此：上述模块均位于同一处理器中；或者，上述各个模块以任意组合的形式分别位于不同的处理器中。

实施例 3

本公开的实施例还提供了一种存储介质，该存储介质中存储有计算机程序，其中，该计算机程序被设置为运行时执行上述任一项方法实施例中的步骤。

可选地，在本实施例中，上述存储介质可以被设置为存储用于执行以下步骤的计算机程序：S1，确定待测试的区域在 PCB 上的位置；

S2，去除该位置的指定层，以裸露所述绝缘层表面生成所述待测试区域；

S3，利用所述待测试区域周围设置的辅助图像标识，调整并将应变片放置在所述待测试区域上进行粘合；

S4，将测试设备接入至所述应变片并对所述待测试区域进行测试。

可选地，在本实施例中，上述存储介质可以包括但不限于：U 盘、只读存储器 (Read-Only Memory, 简称为 ROM)、随机存取存储器 (Random Access Memory, 简称为 RAM)、移动硬盘、磁碟或者光盘等各种可以存储计算机程序的介质。

本公开的实施例还提供了一种电子装置，包括存储器和处理器，该存储器中存储有计算机程序，该处理器被设置为运行计算机程序以执行上述任一项方法实施例中的步骤。

可选地，上述电子装置还可以包括传输设备以及输入输出设备，其中，该传输设备和上述处理器连接，该输入输出设备和上述处理器连接。

可选地，在本实施例中，上述处理器可以被设置为通过计算机程序执行以下步骤：

S1，确定待测试的区域在 PCB 上的位置；

S2，去除该位置的指定层，以裸露所述绝缘层表面生成所述待测试区域；

S3，利用所述待测试区域周围设置的辅助图像标识，调整并将应变片放置在所述待测试区域上进行粘合；

S4，将测试设备接入至所述应变片并对所述待测试区域进行测试。

可选地，本实施例中的具体示例可以参考上述实施例及可选实施方式中所描述的示例，本实施例在此不再赘述。

显然，本领域的技术人员应该明白，上述的本公开的各模块或各步骤可以用通用的计算装置来实现，它们可以集中在单个的计算装置上，或者分布在多个计算装置所组成的网络上，可选地，它们可以用计算装置可执行的程序代码来实现，从而，可以将它们存储在存储装置中由计算装置来执行，并且在某些情况下，可以以不同于此处的顺序执行所示出或描述的步骤，或者将它们分别制作成各个集成电路模块，或者将它们中的多个模块或步骤制作成单个集成电路模块来实现。这样，本公开不限制于任何特定的硬件和软件结合。

以上所述仅为本公开的优选实施例而已，并不用于限制本公开，对于本领域的技术人员来说，本公开可以有各种更改和变化。凡在本公开的原则之内，所作的任何修改、等同替换、改进等，均应包含在本公开的保护范围之内。

工业实用性

基于上述技术方案，由于利用所述待测试区域周围设置的辅助图像标识确定，因此，可以解决了传统测试方法在测试后 PCB 会报废带来的高昂成本的问题，达到了降低 PCB 测试成本的效果。

权利要求书

PN135059ZTE

1. 一种印制电路板 PCB 的处理方法，包括：

确定待测试的区域在 PCB 上的位置；

去除该位置的指定层，以裸露所述绝缘层表面生成所述待测试区域；

利用所述待测试区域周围设置的辅助图像标识，调整并将应变片放置在所述待测试区域上进行粘合；

将测试设备接入至所述应变片并对所述待测试区域进行测试。

2. 根据权利要求 1 所述的方法，其中，将所述辅助图像标识设置在所述指定区域周围，包括：

通过丝网印刷加工工艺，将多个辅助定位点按照预设角度设置在所述待测试区域周围，其中，所述多个辅助定位点延长线交叉的中心为所述待测试区域的中心。

3. 根据权利要求 1 或 2 任一项所述的方法，其中，所述应变片至少包括以下其中之一：三轴应变片，单轴应变片。

4. 根据权利要求 3 所述的方法，其中，在所述待测试对象为焊球阵列封装 BGA 芯片时，所述应变片为所述三轴应变片，其中，确定所述待测试的区域在所述 PCB 上的位置，包括：

根据所述 BGA 芯片的对角线按照预设长度进行外延，以确定所述待测试区域的位置，和/或确定所述 BGA 芯片焊点背面对应的位置；

根据确定后的位置确定所述待测试区域。

5. 根据权利要求 1 所述的方法，其中，包括：

在所述指定区域内次外层为绝缘层的 PCB，所述指定层为最外层绝缘层；

在所述指定区域内次外层为导电层的 PCB，所述指定层为最外层绝缘层和次外层导电层；

权利要求书

PN135059ZTE

其中，所述绝缘层通过阻焊开窗方式去除；所述次外层导电层通过蚀刻方式去除。

6. 根据权利要求 1 所述的方法，其中，包括：在调整并将应变片放置在所述待测试区域上进行粘合之前，所述方法还包括：对所述待测试区域进行清洁。

7. 根据权利要求 6 所述的方法，其中，将应变片放置在所述待测试区域上进行粘合，包括：

在所述应变片和/或清洁后的所述待测试区域上添加粘合剂；

在所述待测试区域中按压所述应变片以使所述应变片与所述绝缘层表面粘合。

8. 一种印制电路板 PCB 的处理装置，包括：

确定模块，设置为确定待测试的区域在 PCB 上的位置；

去除模块，设置为去除该位置的指定层，以裸露所述绝缘层表面生成所述待测试区域；

粘合模块，设置为利用 PCB 中待测试区域周围设置的辅助图像标识，调整并将应变片放置在所述待测试区域上进行粘合；

测试模块，设置为将测试设备接入至所述应变片并对所述待测试区域进行测试。

9. 一种计算机可读的存储介质，所述存储介质中存储有计算机程序，其中，所述计算机程序被设置为运行时执行所述权利要求 1 至 7 任一项中所述的方法。

10. 一种电子装置，包括存储器和处理器，所述存储器中存储有计算机程序，所述处理器被设置为运行所述计算机程序以执行所述权利要求 1 至 7 任一项中所述的方法。

说明书摘要

PN135059ZTE

本公开提供了一种印制电路板 PCB 的处理方法及装置。具体而言，该测试方法包括：确定待测试的区域在 PCB 上的位置；去除该位置的指定层，以裸露所述绝缘层表面生成所述待测试区域；利用所述待测试区域周围设置的辅助图像标识，调整并将应变片放置在所述待测试区域上进行粘合；将测试设备接入至所述应变片并对所述待测试区域进行测试。通过本公开，解决了传统测试方法在测试后 PCB 会报废带来的高昂成本的问题，达到了降低 PCB 测试成本的效果。



图 1

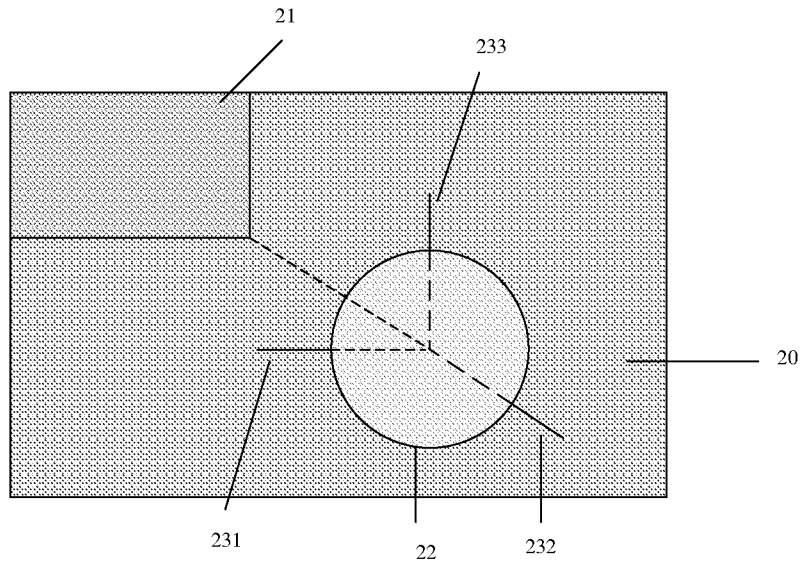


图 2

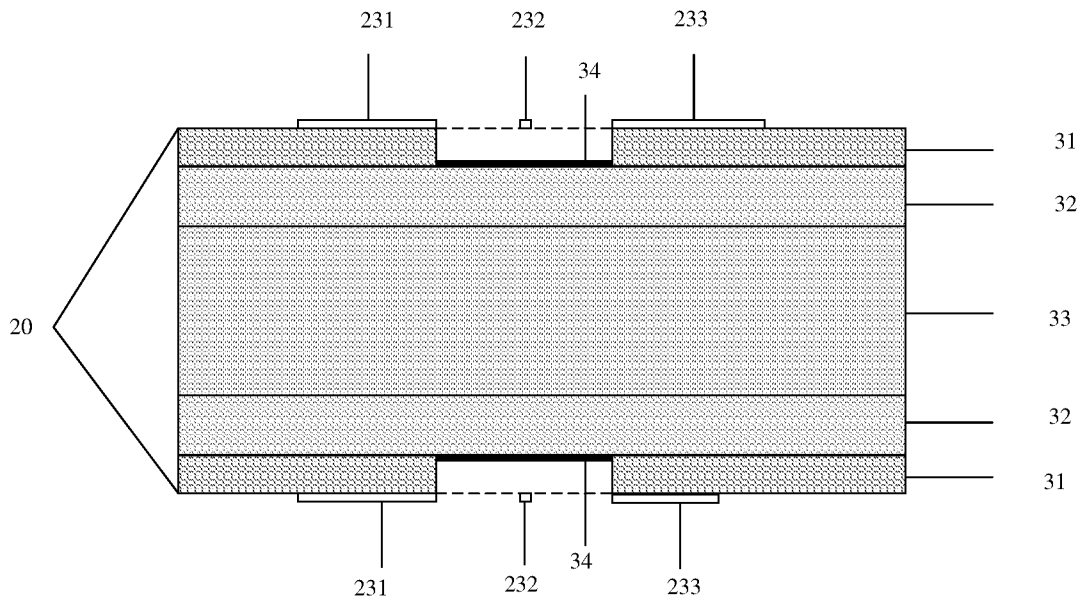


图 3

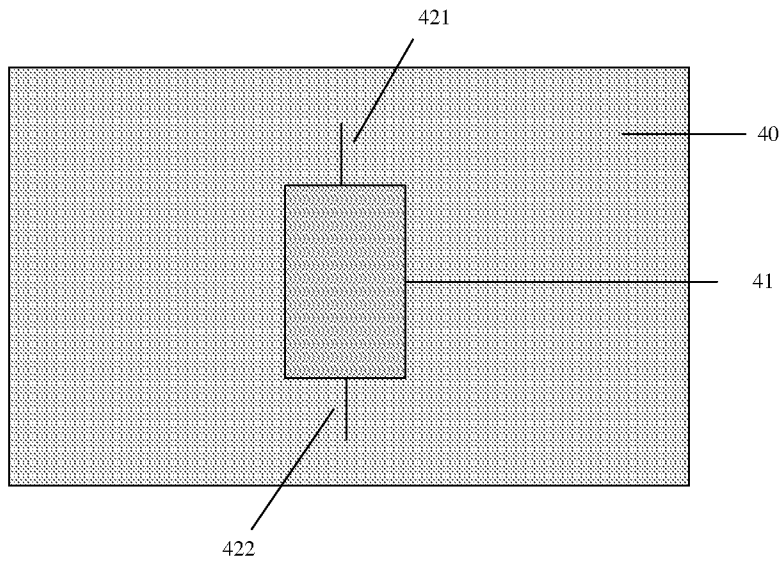


图 4

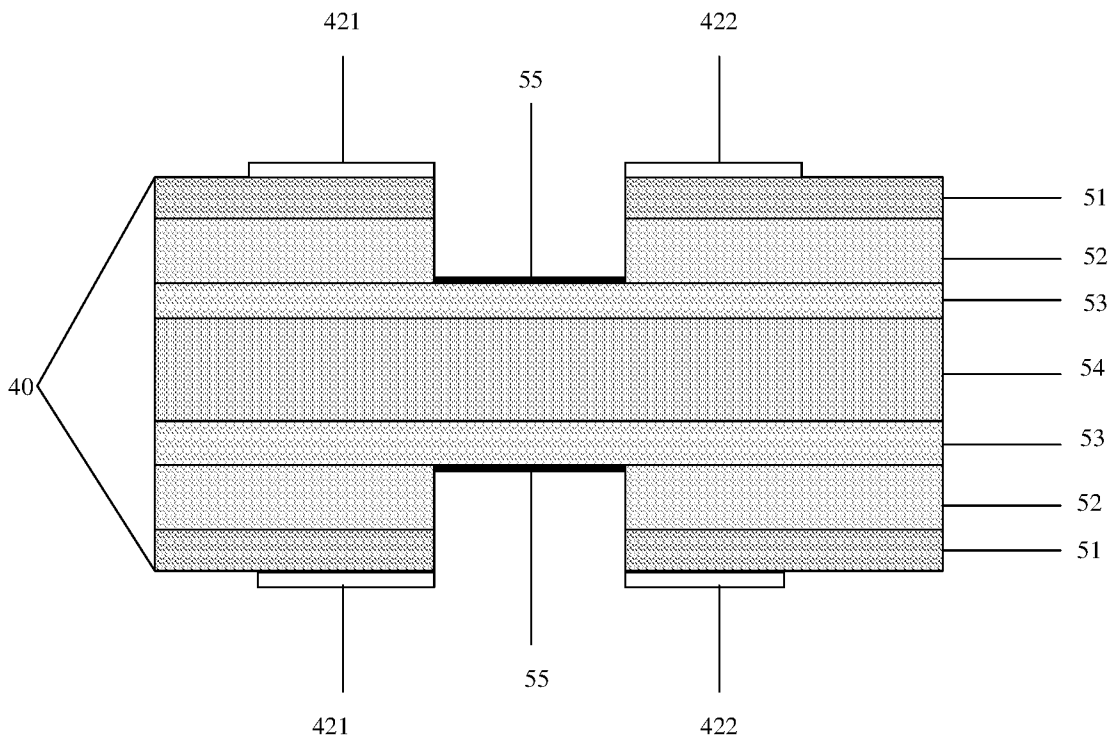


图 5

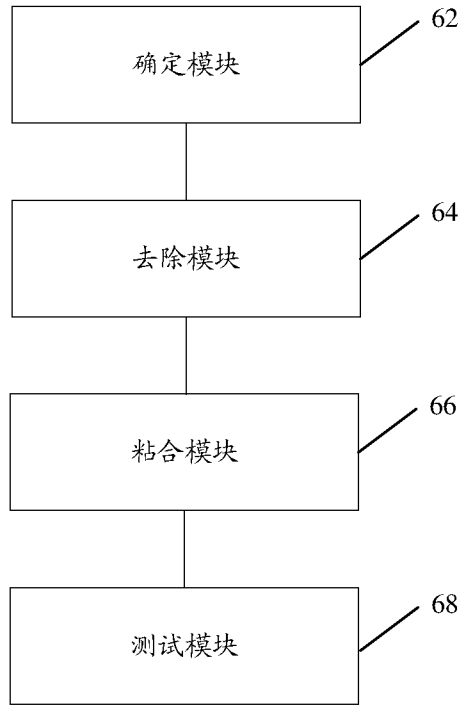


图 6