

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、スーパージャンクション構造の半導体装置に関する。

背景技術

[0002] 半導体基体に形成された溝の内部にゲート電極を形成したトレンチゲート型の縦型MOSFETが、大電流のスイッチング動作を行うパワー半導体素子に使用されている。更に、pn接合が周期的に形成されたスーパージャンクション構造（SJ構造）をドリフト領域に使用することにより、高耐圧且つ低オン抵抗のパワー半導体素子を実現できる。SJ構造の縦型MOSFETのドリフト領域では、膜厚方向に直線的に延伸するストライプ状のp型の柱状領域とn型の柱状領域が繰り返し交互に配置される。

[0003] また、パワー半導体素子に窒化ケイ素基板を用いることにより、耐圧を向上し、且つ、オン抵抗を低くすることができる（特許文献1参照。）。

先行技術文献

特許文献

[0004] 特許文献1：国際公開第2013/179820号

発明の概要

発明が解決しようとする課題

[0005] 縦型MOSFETの高速動作のために、ドリフト領域に存在する正孔（ホール）を速やかに消滅させることが重要である。即ち、オン動作時でのソースドレイン間のボディダイオードのスイッチング動作を高速化する必要がある。従来、SJ構造の縦型MOSFETに関してボディダイオードのスイッチング動作の高速化について十分な検討がされてこなかった。

[0006] 上記問題点に鑑み、本発明は、スーパージャンクション構造を有し、且つ高速動作が可能なトレンチゲート型の半導体装置を提供することを目的とする。

課題を解決するための手段

[0007] 本発明の一態様によれば、半導体基板上に配置された、第1導電型の第1柱状領域と第2導電型の第2柱状領域が交互に配置されたスーパージャンクション構造のドリフト領域と、ドリフト領域の上に配置された第2導電型のベース領域と、ベース領域の上に配置された第1導電型のソース領域と、ソース領域及びベース領域を貫通する溝の内部に配置されたゲート電極を備え、ドリフト領域の第2柱状領域が、下部領域よりも上部領域において正孔と電子の再結合中心の密度が高く形成されている半導体装置が提供される。

発明の効果

[0008] 本発明によれば、スーパージャンクション構造を有し、且つ高速動作が可能なトレンチゲート型の半導体装置を提供できる。

図面の簡単な説明

[0009] [図1]本発明の実施形態に係る半導体装置の構成を示す模式的な断面図である。

[図2]本発明の実施形態に係る半導体装置の製造方法を説明するための工程断面図である（その1）。

[図3]本発明の実施形態に係る半導体装置の製造方法を説明するための工程断面図である（その2）。

[図4]本発明の実施形態に係る半導体装置の製造方法を説明するための工程断面図である（その3）。

[図5]本発明の実施形態に係る半導体装置の製造方法を説明するための工程断面図である（その4）。

[図6]本発明の実施形態に係る半導体装置の製造方法を説明するための工程断面図である（その5）。

[図7]本発明の実施形態に係る半導体装置の製造方法を説明するための工程断面図である（その6）。

[図8]本発明の実施形態に係る半導体装置の製造方法を説明するための工程断面図である（その7）。

[図9]本発明の実施形態の変形例に係る半導体装置の構成を示す模式的な断面図である。

発明を実施するための形態

[0010] 次に、図面を参照して、本発明の実施形態を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各部の長さの比率などは現実のものとは異なる。したがって、具体的な寸法は以下の説明を参酌して判断すべきものである。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることはもちろんである。

[0011] また、以下に示す実施形態は、この発明の技術的思想を具体化するための装置や方法を例示するものであって、この発明の技術的思想は、構成部品の形状、構造、配置などを下記のものに特定するものでない。この発明の実施形態は、請求の範囲において、種々の変更を加えることができる。

[0012] 本発明の実施形態に係る半導体装置は、図1に示すように、半導体基板10の上面に配置された第1導電型のドレイン領域20と、ドレイン領域20の上面に配置されたドリフト領域30と、ドリフト領域30の上に配置された第2導電型のベース領域40と、ベース領域40の上に配置された第1導電型のソース領域50を備える。ドリフト領域30は、膜厚方向に直線的に延伸するストライプ状の第1導電型の第1柱状領域31と第2導電型の第2柱状領域32が交互に配置されてpn接合が周期的に形成されたスーパー Junction構造(SJ構造)である。図1では、第2柱状領域32が1つ含まれる領域が図示されているが、図示された領域の外側において第1柱状領域31と第2柱状領域32が交互に繰り返し配置されている。

[0013] 半導体装置には、ソース領域50の上面から延伸してソース領域50及びベース領域40を貫通し、ドリフト領域30に達する溝が形成されている。この溝の内壁にゲート絶縁膜70が配置され、ゲート絶縁膜70を介してベース領域40と対向するゲート電極80が溝の内部に配置されている。なお、ベース領域40の上面には選択的にソース領域50が配置されている。ま

た、不純物濃度の高い第2導電型のコンタクト領域60が、ベース領域40と接してソース領域50同士の間配置されている。

[0014] ソース領域50、ゲート電極80の上方に層間絶縁膜90が配置され、層間絶縁膜90の上にソース電極100が配置されている。層間絶縁膜90の開口部を介して、ソース領域50及びコンタクト領域60がソース電極100と接続されている。ゲート電極80とソース電極100とは、層間絶縁膜90によって電氣的に絶縁されている。また、半導体基板10の下面にはドレイン電極110が配置されている。このように、図1に示した半導体装置は、トレンチゲート型の縦型MOSFETである。

[0015] 第1導電型と第2導電型とは互いに反対導電型である。即ち、第1導電型がn型であれば、第2導電型はp型であり、第1導電型がp型であれば、第2導電型はn型である。以下では、第1導電型がn型、第2導電型がp型の場合を説明する。

[0016] 図1に示す半導体装置では、ドリフト領域30の第2柱状領域32が、ベース領域40に上端が接する上部領域32Aと、上部領域32Aの残余の領域であってドレイン領域20に下端が接する下部領域32Bを有する。そして、第2柱状領域32は、下部領域32Bよりも上部領域32Aにおいて正孔と電子の再結合中心の密度が意図的に高く形成されている。このように、第2柱状領域32における再結合中心の密度を部分的に高くすることにより、詳細を後述するように、図1に示した半導体装置が高速動作する。

[0017] 図1に示した半導体装置では、ゲート絶縁膜70を介してゲート電極80と対向するベース領域40の表面が、チャンネルの形成されるチャンネル領域である。ソース領域50からドリフト領域30まで溝に沿ってベース領域40にチャンネルが形成されるように、ゲート電極80はベース領域40に対向して配置される。

[0018] ここで、図1に示した半導体装置の動作について説明する。ソース電極100とドレイン電極110間に所定のドレイン電圧を印加し、ソース電極100とゲート電極80間に所定のゲート電圧を印加する。このようにして半

導体装置をオン状態にすると、チャネル領域が p 型から n 型に反転してチャネルが形成される。形成されたチャネルを通過して、ソース電極 100 から電子がドリフト領域 30 に注入される。ドリフト領域 30 に S J 構造を使用した半導体装置では、n 型の不純物濃度を高くした第 1 柱状領域 31 を電流が流れるため、オン抵抗を下げるができる。

[0019] 半導体装置をオン状態からオフ状態にする場合には、ゲート電圧をしきい値電圧よりも低く制御する。例えば、ゲート電圧を、ソース電圧と同じ電位又は負電位となるようにする。これにより、ベース領域 40 のチャネルが消滅して、ソース電極 100 からドリフト領域 30 への電子の注入が停止する。ドリフト領域 30 が S J 構造であるため、逆バイアス時に p n 接合から伸びる空乏層によって第 1 柱状領域 31 が空乏化されて、高耐圧が確保される。

[0020] 図 1 に示した半導体装置では、ドリフト領域 30 の第 2 柱状領域 32 の上部領域 32 A における正孔と電子の再結合中心の密度を意図的に高くしている。このため、ドリフト領域 30 における正孔と電子の再結合が促進され、ドリフト領域 30 に存在する正孔が速やかに消滅する。つまり、ソースドレイン間のボディダイオードのスイッチング動作が高速化される。その結果、半導体装置の高速動作を実現できる。

[0021] ただし、ドリフト領域 30 の第 2 柱状領域 32 の全体において正孔と電子の再結合中心の密度が高いと、リーク電流の増大や半導体装置の耐圧の低下などの問題が生じる。したがって、第 2 柱状領域 32 における再結合中心の密度を部分的に高くする。このとき、第 2 柱状領域 32 の上部領域 32 A と下部領域 32 B との境界面の位置は、半導体装置に要求される動作速度と信頼性などとの兼ね合いで適宜設定される。例えば、動作速度を重視するなら上部領域 32 A を広くし、信頼性を重視するなら上部領域 32 A を狭くする。

[0022] なお、第 2 柱状領域 32 の再結合中心を平面視で第 2 柱状領域 32 の中心付近のみに配置し、第 1 柱状領域 31 と第 2 柱状領域 32 の界面の近傍には

再結合中心を配置しないようにしてもよい。第1柱状領域31と第2柱状領域32の界面では大きな電界が発生するため、この界面の近傍に再結合中心を形成しないことにより、リーク電流の増大や耐圧の低下を抑制できる。

[0023] 以上に説明したように、本発明の実施形態に係る半導体装置では、ドリフト領域30のS J構造を構成する第2柱状領域32の一部において正孔と電子の再結合中心の密度を意図的に高くする。これにより、正孔と電子の再結合が促進され、半導体装置を高速動作させることができる。

[0024] 以下に、図面を参照して、本発明の実施形態に係る半導体装置の製造方法を説明する。なお、以下に述べる製造方法は一例であり、この変形例を含めて、これ以外の種々の製造方法により実現可能であることはもちろんである。

[0025] 図2に示すように、半導体基板10の上面に、n型のドレイン領域20をエピタキシャル成長法などにより形成する。半導体基板10は、例えば窒化ケイ素基板(SiC基板)である。ドレイン領域20の不純物濃度はドリフト領域30の不純物濃度よりも高い。

[0026] 次に、ドレイン領域20の上にn型のエピタキシャル層を成長させる。このエピタキシャル層の一部をドレイン領域20の上面が露出するまで除去して、ドリフト領域30の第1柱状領域31を形成する。ドレイン領域20の膜厚は $2\mu\text{m}\sim 150\mu\text{m}$ 程度であり、第1柱状領域31の不純物濃度は $1\times 10^{15}\text{cm}^{-3}\sim 1\times 10^{18}\text{cm}^{-3}$ 程度である。そして、エピタキシャル層を除去した部分に、p型の第2柱状領域32をエピタキシャル成長法により形成する。これにより、図3に示すように、n型の第1柱状領域31とp型の第2柱状領域32が交互に配置されたS J構造が形成される。第2柱状領域32の不純物濃度は $1\times 10^{15}\text{cm}^{-3}\sim 1\times 10^{18}\text{cm}^{-3}$ 程度である。

[0027] そして、イオン注入法によって、上部領域32Aを形成する所定の深さまで第2柱状領域32にp型不純物を注入する。例えば、 $1\times 10^{16}\text{cm}^{-3}\sim 1\times 10^{19}\text{cm}^{-3}$ 程度のp型不純物を第2柱状領域32に注入する。その後、イオン注入した不純物を熱処理することで活性化させる際に、意図的に再結合

中心になる点欠陥が残る条件で活性化を行う。これにより、図4に示すように、再結合中心の密度が高い上部領域32Aが形成される。なお、点欠陥の密度は活性化の条件によって制御できる。

[0028] 次に、ドリフト領域30の上にp型のベース領域40をエピタキシャル成長法により形成する。そして、イオン注入法により、図5に示すように、n型のソース領域50及びp型のコンタクト領域60をベース領域40の上部に形成する。ベース領域40の膜厚は、 $0.1\ \mu\text{m}\sim 20\ \mu\text{m}$ 程度であり、不純物濃度は $2\times 10^{16}\ \text{cm}^{-3}\sim 5\times 10^{17}\ \text{cm}^{-3}$ 程度である。ソース領域50の膜厚は、 $0.1\ \mu\text{m}\sim 20\ \mu\text{m}$ 程度であり、不純物濃度は $1\times 10^{18}\ \text{cm}^{-3}\sim 1\times 10^{20}\ \text{cm}^{-3}$ 程度である。コンタクト領域60の不純物濃度は、 $1\times 10^{19}\ \text{cm}^{-3}\sim 1\times 10^{20}\ \text{cm}^{-3}$ 程度である。

[0029] その後、図6に示すように、ソース領域50の上面から延伸してソース領域50とベース領域40を貫通し、ドリフト領域30に底部が達する溝200を形成する。溝200は、フォトリソグラフィ技術とエッチング技術などを用いて形成される。溝200の深さは、その底部が、上部領域32Aと下部領域32Bとの境界面の位置より上方であることが好ましく、例えば、 $0.2\ \mu\text{m}\sim 40\ \mu\text{m}$ 程度である。

[0030] 次いで、図7に示すように、溝200の内壁面上にゲート絶縁膜70を形成する。例えば、ゲート絶縁膜70として、酸化シリコン(SiO_2)膜を熱酸化法で形成する。ゲート絶縁膜70の膜厚は、例えば $1\ \text{nm}\sim 500\ \text{nm}$ 程度である。

[0031] ゲート絶縁膜70を形成した後、溝200の内部にゲート電極80を埋め込む。例えば、不純物を添加したポリシリコン膜を半導体基体の全面に形成した後、平坦化して溝200の内部にゲート電極80を形成する。その後、図8に示すように、層間絶縁膜90を形成する。

[0032] 次いで、ソース領域50とコンタクト領域60に接続するソース電極100を層間絶縁膜90上に形成する。例えば、層間絶縁膜90の一部に開口部を設けてソース領域50とコンタクト領域60の表面を露出させ、この開口

部を埋め込むようにソース電極100を形成する。更に、半導体基板10の下面にドレイン電極110を形成する。以上により、図1に示した半導体装置が完成する。

[0033] 上記の製造方法によれば、第2柱状領域32の上部領域32Aに意図的に形成した再結合中心は、上部領域32Aがイオン注入法により形成されたことにより発生した結晶欠陥である。第2柱状領域32の下部領域32Bをエピタキシャル成長法により形成し、上部領域32Aをイオン注入法により形成することにより、下部領域32Bよりも上部領域32Aにおいて正孔と電子の再結合中心の密度を意図的に高くすることができる。

[0034] なお、上記以外の方法によって上部領域32Aを形成してもよい。例えば、第2柱状領域32をエピタキシャル成長法により形成した後に上部領域32Aに金属イオンを注入して、この金属イオンを再結合中心としてもよい。或いは、第2柱状領域32を形成した後に上部領域32Aに水素イオン又はヘリウムイオンを注入し、再結合中心を形成してもよい。

[0035] <変形例>

図9に示す本発明の実施形態の変形例に係る半導体装置は、ドリフト領域30の第2柱状領域32が、低不純物濃度領域322の上に、低不純物濃度領域322よりも不純物濃度が高い高不純物濃度領域321を配置した構造である。低不純物濃度領域322と高不純物濃度領域321の境界面の位置は、ゲート電極80が内部に配置された溝の底部よりも下方であることが好ましい。

[0036] 半導体基板10にSiC基板を用いることにより、半導体装置の耐圧を向上し、且つ、オン抵抗を低くすることができる。しかし、SiCはシリコンに比べて絶縁破壊電界が高いため、SiC基板が破壊されない程度に高い電界が、半導体装置の他の部分の絶縁膜、例えばゲート絶縁膜70などに印加される。このため、半導体基板10が絶縁破壊に至る前に絶縁破壊による半導体装置の破損が起こり得る。

[0037] これに対し、図9に示した半導体装置では、ベース領域40に接する高不

純物濃度領域 3 2 1 とその下方の低不純物濃度領域 3 2 2 とに第 2 柱状領域 3 2 を分けた構造にしている。この構造により、逆バイアス時において、第 2 柱状領域 3 2 の高不純物濃度領域 3 2 1 に隣接する第 1 柱状領域 3 1 の上部が、低不純物濃度領域 3 2 2 に隣接する下部よりも低電圧で空乏化する。このため、第 2 柱状領域 3 2 の高不純物濃度領域 3 2 1 と低不純物濃度領域 3 2 2 の境界面の位置をゲート電極 8 0 が内部に配置された溝の底部よりも下方にすることにより、逆バイアス時にゲート絶縁膜 7 0 が空乏層により囲まれる。このため、ゲート絶縁膜 7 0 を高い電界から遮断することができる。したがって、図 9 に示した半導体装置によれば、ゲート絶縁膜 7 0 の絶縁破壊による半導体装置の破損が抑制される。

[0038] 上部領域 3 2 A と下部領域 3 2 B の境界面の位置と、高不純物濃度領域 3 2 1 と低不純物濃度領域 3 2 2 の境界面の位置は、独立して設定することができる。図 9 では、上部領域 3 2 A と下部領域 3 2 B の境界面の位置が、低不純物濃度領域 3 2 2 と高不純物濃度領域 3 2 1 の境界面の位置よりも下方である場合を示した。なお、これらの境界面の位置を一致させることにより、変形例に係る半導体装置の製造を容易にすることができる。即ち、低不純物濃度領域 3 2 2 でもある下部領域 3 2 B をエピタキシャル成長法で形成し、高不純物濃度領域 3 2 1 でもある上部領域 3 2 A をイオン注入法で形成してもよい。

[0039] (その他の実施形態)

上記のように、本発明は実施形態によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施形態、実施例及び運用技術が明らかとなろう。

[0040] 例えば、上記では半導体装置が縦型 MOSFET である例を示したが、半導体装置がトレンチゲート型を採用した他の構造のスイッチング素子であってもよい。例えば、半導体装置が絶縁ゲートバイポーラトランジスタ (IGBT) であってもよい。

[0041] このように、本発明はここでは記載していない様々な実施形態等を含むことはもちろんである。

産業上の利用可能性

[0042] 本発明の半導体装置は、スーパージャンクション構造を使用する半導体装置の用途に利用可能である。

符号の説明

- [0043]
- 10…半導体基板
 - 20…ドレイン領域
 - 30…ドリフト領域
 - 31…第1柱状領域
 - 32…第2柱状領域
 - 32A…上部領域
 - 32B…下部領域
 - 40…ベース領域
 - 50…ソース領域
 - 60…コンタクト領域
 - 70…ゲート絶縁膜
 - 80…ゲート電極
 - 90…層間絶縁膜
 - 100…ソース電極
 - 110…ドレイン電極
 - 200…溝
 - 321…高不純物濃度領域
 - 322…低不純物濃度領域

請求の範囲

- [請求項1] 半導体基板と、
前記半導体基板上に配置された、膜厚方向に直線的に延伸するストライプ状の第1導電型の第1柱状領域と第2導電型の第2柱状領域が交互に配置されてpn接合が周期的に形成されたスーパージャンクション構造のドリフト領域と、
前記ドリフト領域の上に配置された第2導電型のベース領域と、
前記ベース領域の上に配置された第1導電型のソース領域と、
前記ソース領域の上面から延伸して前記ソース領域及び前記ベース領域を貫通する溝の内壁に配置されたゲート絶縁膜と、
前記溝の内部に配置され、前記ゲート絶縁膜を介して前記ベース領域と対向するゲート電極と
を備え、
前記ドリフト領域の前記第2柱状領域が、下部領域よりも上部領域において正孔と電子の再結合中心の密度が高く形成されていることを特徴とする半導体装置。
- [請求項2] 前記第2柱状領域の前記上部領域の前記再結合中心が、前記上部領域がイオン注入法により形成されたことにより発生した結晶欠陥であることを特徴とする請求項1に記載の半導体装置。
- [請求項3] 前記第2柱状領域の前記再結合中心が、前記第1柱状領域と前記第2柱状領域の界面に配置されていないことを特徴とする請求項1に記載の半導体装置。
- [請求項4] 前記第2柱状領域の前記下部領域がエピタキシャル成長法により形成された膜であり、前記上部領域がイオン注入法により形成された膜であることを特徴とする請求項1に記載の半導体装置。
- [請求項5] 前記第2柱状領域が、低不純物濃度領域の上に、前記低不純物濃度領域よりも不純物濃度が高い高不純物濃度領域を配置した構造であり、

前記高不純物濃度領域と前記低不純物濃度領域の境界面の位置が、前記溝の底部よりも下方であることを特徴とする請求項 1 に記載の半導体装置。

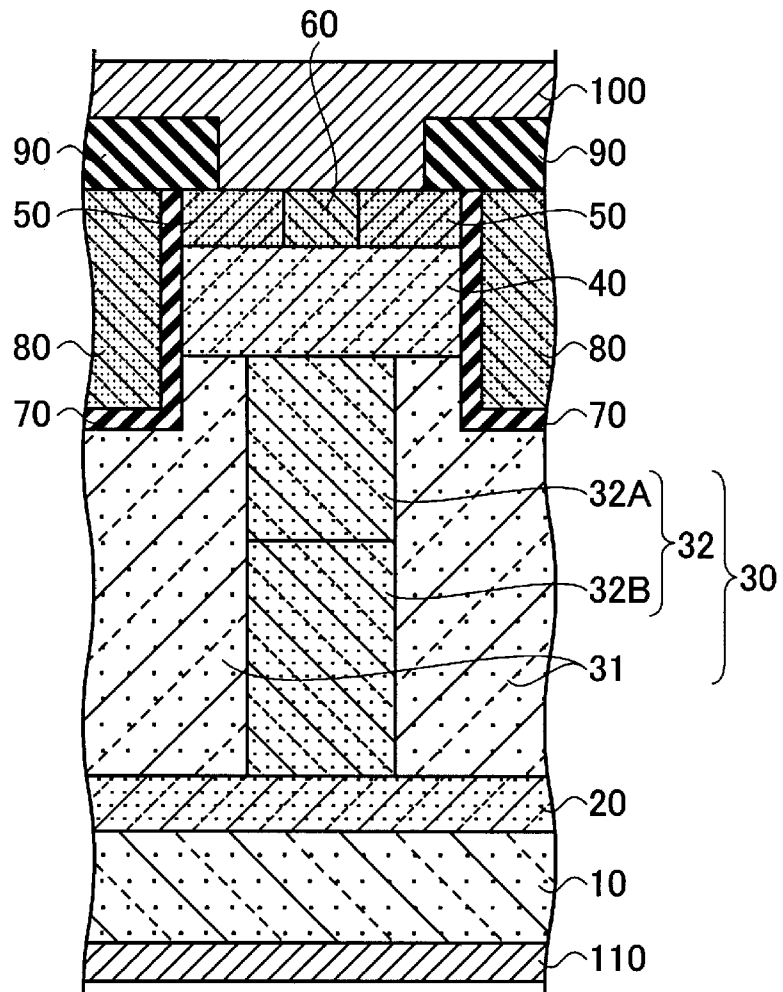
[請求項6] 前記上部領域と前記下部領域の境界面の位置と、前記高不純物濃度領域と前記低不純物濃度領域の境界面の位置が一致していることを特徴とする請求項 5 に記載の半導体装置。

[請求項7] 前記半導体基板が窒化ケイ素基板であることを特徴とする請求項 1 に記載の半導体装置。

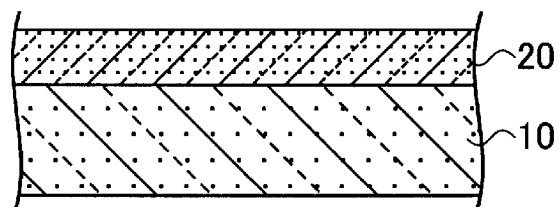
要 約 書

半導体装置は、半導体基板（10）上に配置された、第1導電型の第1柱状領域（31）と第2導電型の第2柱状領域（32）が交互に配置されたS J構造のドリフト領域（30）と、ドリフト領域（30）の上に配置された第2導電型のベース領域（40）と、ベース領域（40）の上に配置された第1導電型のソース領域（50）と、ソース領域（50）及びベース領域（40）を貫通する溝の内部に配置されたゲート電極（80）を備える。ドリフト領域（30）の第2柱状領域（32）は、下部領域（32B）よりも上部領域（32A）において正孔と電子の再結合中心の密度が高く形成されている。

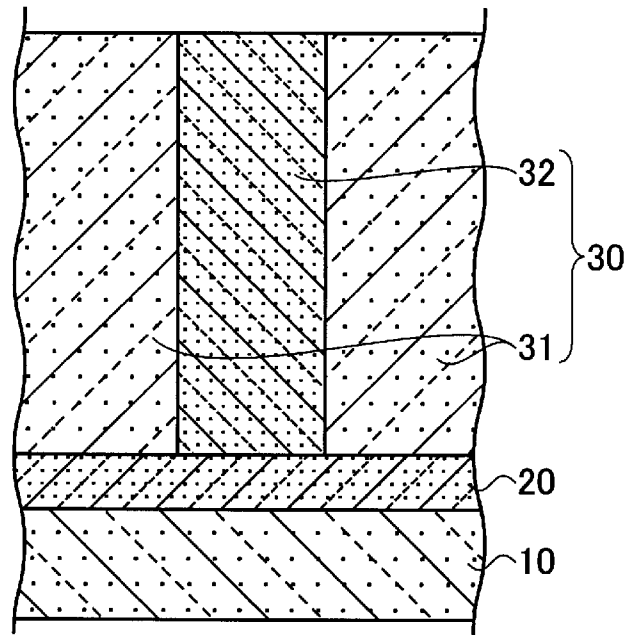
[圖1]



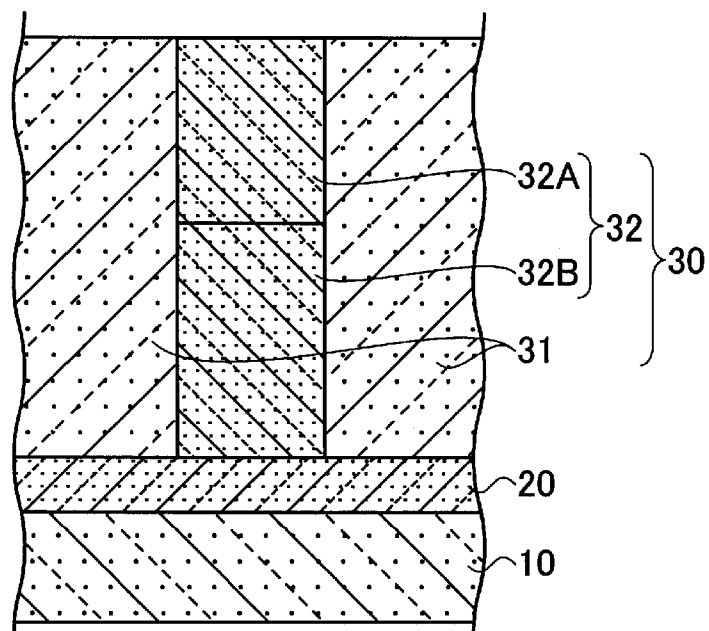
[圖2]



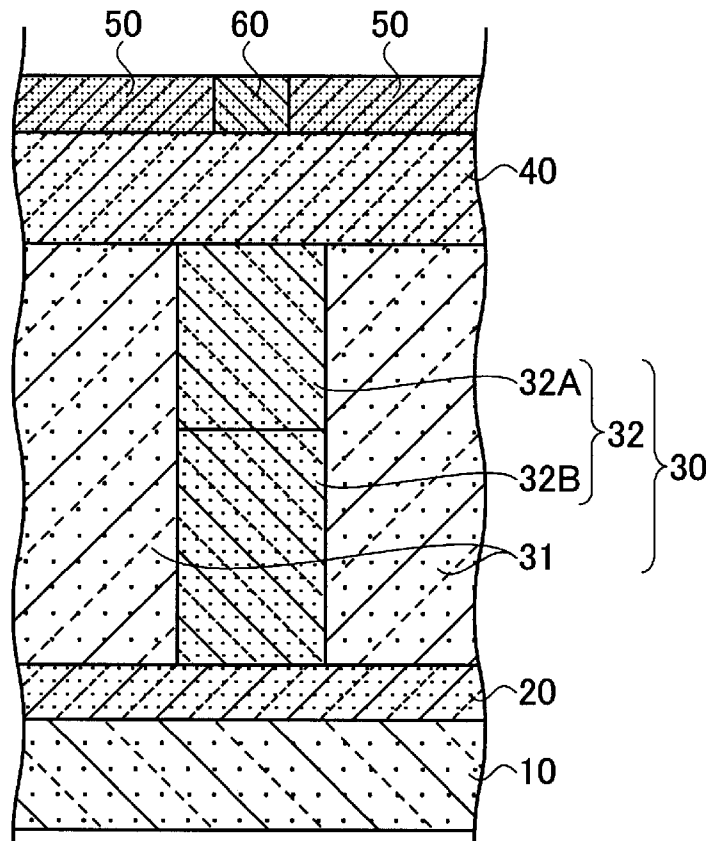
[圖3]



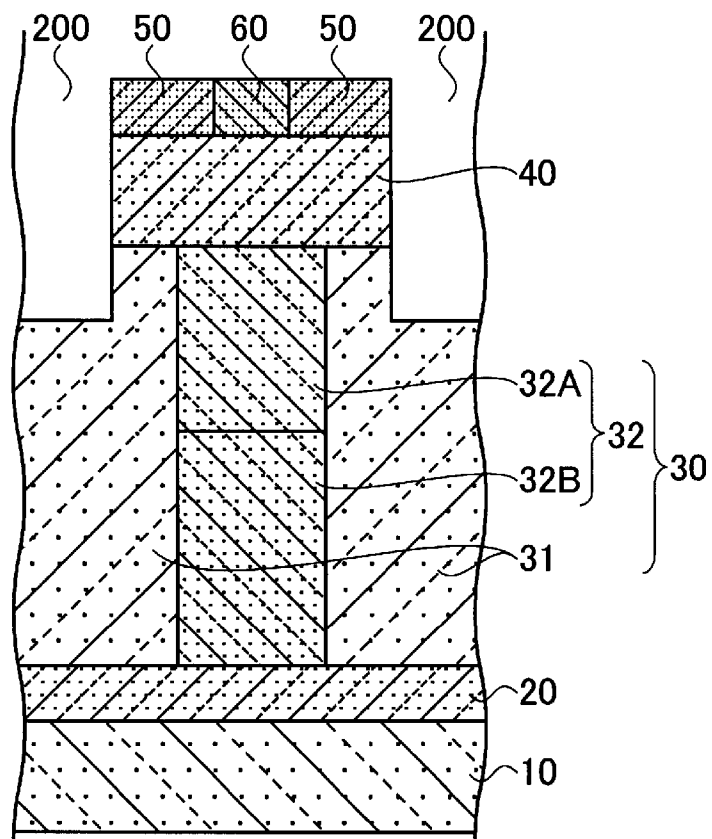
[圖4]



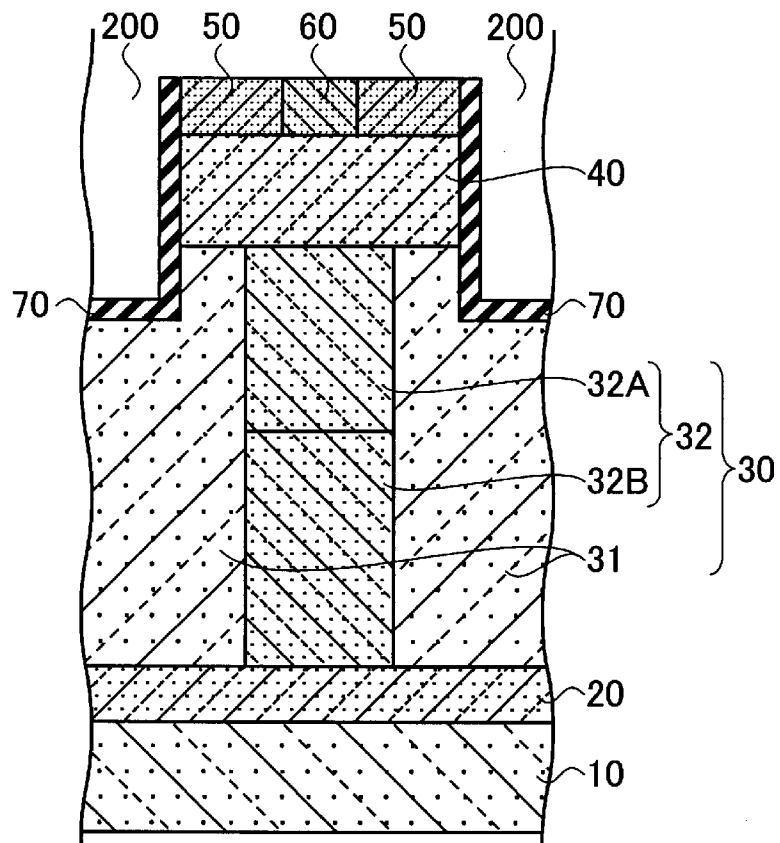
[図5]



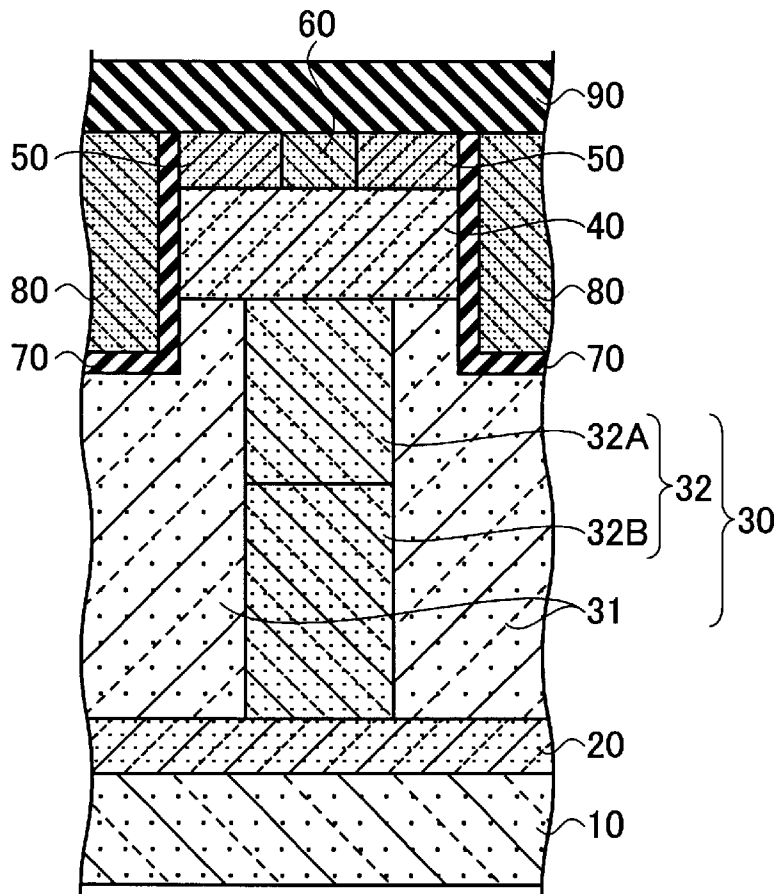
[図6]



[図7]



[図8]



[圖9]

