

## **DOCUMENT MADE AVAILABLE UNDER THE PATENT COOPERATION TREATY (PCT)**

International application number:	<b>PCT/CN2019/122847</b>
International filing date:	<b>04 December 2019 (04.12.2019)</b>
Document type:	<b>Certified copy of priority document</b>
Document details:	Country/Office: <b>CN</b>
	Number: <b>201811478102.9</b>
	Filing date: <b>05 December 2018 (05.12.2018)</b>
Date of receipt at the International Bureau:	<b>11 March 2020 (11.03.2020)</b>

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a),(b) or (b-bis)

# 证 明

本证明之附件是向本局提交的下列专利申请文件副本。

申 请 号： 201811478102.9

申 请 类 型： 发明专利

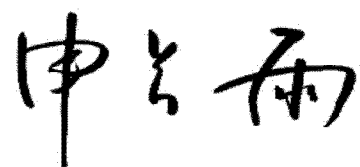
发 明 创 造 名 称： 半导体器件制备方法

申 请 日： 2018.12.05

申 请 人： 无锡华润上华科技有限公司

发明人或设计人： 廖远宝

局长  
申长雨



2020年03月09日

## 权利要求书

1、一种半导体器件制备方法，所述半导体器件包括工作结构和对所述工作结构进行保护的保护结构，其特征在于，所述制备方法包括：

提供半导体衬底，所述半导体衬底包括原胞区和非原胞区，在所述非原胞区的半导体衬底上形成隔离介质层，在所述隔离介质层上形成具有第一导电类型掺杂的半导体层；

以所述半导体层和所述隔离介质层为掩膜对所述半导体衬底进行第一导电类型阱注入，在所述原胞区的半导体衬底内形成阱区；

对所述阱区进行掺杂以在所述原胞区内形成所述工作结构，对所述半导体层进行掺杂以在所述非原胞区上形成所述保护结构；

在所述工作结构和所述保护结构上形成层间介质层，并在所述层间介质层内形成接触孔，在所述层间介质层上形成与所述接触孔连接的金属互连层，通过所述金属互连层和所述接触孔连接所述工作结构和所述保护结构。

2、如权利要求 1 所述的制备方法，其特征在于，所述半导体层的第一导电类型掺杂的剂量比所述半导体衬底的第一导电类型阱注入的剂量至少大一个数量级。

3、如权利要求 1 所述的制备方法，其特征在于，所述隔离介质层的厚度范围为 1000Å 至 2000Å。

4、如权利要求 1 所述的制备方法，其特征在于，所述隔离介质层为氧化硅层。

5、如权利要求 1 所述的制备方法，其特征在于，所述半导体层为第一导电类型多晶硅层。

6、如权利要求 1 所述的制备方法，其特征在于，所述原胞区位于所述半导体衬底的中间位置，非原胞区位于所述半导体衬底的外围且包围所述原胞区。

## 权利要求书

7、如权利要求 1 所述的制备方法，其特征在于，所述工作结构为 VDMOS 管，在对所述原胞区的半导体衬底进行第一导电类型阱注入的步骤之前，还包括：

5 在所述原胞区形成沟槽，在所述沟槽内壁形成栅氧层并在所述沟槽内填充多晶硅栅。

8、如权利要求 7 所述的制备方法，其特征在于，所述保护结构为二极管，所述半导体衬底具有第二导电类型；

所述对所述阱区进行掺杂以在所述原胞区内形成所述工作结构，对所述半导体层进行掺杂以在所述非原胞区上形成所述保护结构的步骤具体包括：

10 对所述阱区进行第二导电类型掺杂形成源区，对所述半导体层的部分区域进行第二导电类型掺杂以形成并列的第一导电类型半导体结构和第二导电类型半导体结构；

所述在所述工作结构和所述保护结构上形成层间介质层，并在所述层间介质层内形成接触孔，在所述层间介质层上形成与所述接触孔连接的金属互连层，  
15 通过所述金属互连层和所述接触孔连接所述工作结构和所述保护结构的步骤具体包括：

在所述源区、沟槽及所述第一导电类型半导体结构和第二导电类型半导体结构上形成层间介质层，在所述源区上方的层间介质层上形成第一接触孔并引出与所述源区连接的源极，在所述沟槽上方的层间介质层上形成第二接触孔并  
20 引出与所述多晶硅栅连接的栅极，在所述第一导电类型半导体结构上方的层间介质层上形成第三接触孔并引出所述二极管的第一极，在所述第二导电类型半导体结构上方的层间介质层上形成第四接触孔并引出所述二极管的第二极，在所述层间介质层上形成金属互连层，使所述第一极与所述栅极连接，所述第二



## 权 利 要 求 书

极与所述源极连接。

9、如权利要求 8 所述的制备方法，其特征在于，所述对所述阱区进行第二导电类型掺杂形成源区，对所述半导体层的部分区域进行第二导电类型掺杂的步骤具体包括：

- 5 共用一片掩膜板在所述阱区和所述半导体层上形成掺杂窗口，并同时对所  
述阱区和所述半导体层进行第二导电类型掺杂。

- 10、如权利要求 8 所述的制备方法，其特征在于，所述半导体层形成多个  
所述第一导电类型半导体结构和多个所述第二导电类型半导体结构，且所述第  
一导电类型半导体结构与所述第二导电类型半导体结构的数目相等，所述第一  
10 导电类型半导体结构与所述第二导电类型半导体结构交替设置，分别从位于最  
外端的第一导电类型半导体结构和第二导电类型半导体结构引出二极管的第一  
极和第二极。



# 说明书

## 半导体器件制备方法

### 技术领域

本发明涉及半导体领域，尤其涉及一种半导体器件制备方法。

5

### 背景技术

半导体器件通常包括工作结构和对工作结构进行保护的保护结构，如金属-氧化物-半导体场效应管（Metal-Oxide-Semiconductor Field-Effect Transistor，以下简称 MOS 管）在生产、组装、测试或搬运过程中都可能生成静电，当静电电压较高时，会损坏 MOS 管，因此通常增加二极管作为静电保护结构与 MOS 管  
10 并联以保护 MOS 管。在半导体器件的具体的制备工艺中，通常是在半导体衬底的非原胞区域形成场氧，以场氧为掩膜对半导体衬底进行自对准阱注入以在原胞区形成阱区，并在场氧上淀积半导体层，对半导体层进行掺杂而在非原胞区上形成保护结构，以及在阱区进行掺杂而在原胞区内形成工作结构，接着淀积  
15 一层层间介质层并在层间介质层中形成接触孔以引出电极。为实现自对准掩膜阱注入，场氧需达到一定的厚度，设为  $h_1$ ，而淀积在场氧上的半导体层也具有  
一定的厚度，设为  $h_2$ ，即在半导体衬底上，非原胞区上的保护结构的表面比原胞区内的工作结构的表面高  $h_1+h_2$ ，而层间介质层的上表面是平整的，这就使得  
非原胞区上的保护结构上方的层间介质层的厚度比原胞区上方的层间介质层厚  
20 度小  $h_1+h_2$ ，导致保护结构上方的层间介质层较薄，在后续工艺中，如在形成金属层并对金属层进行刻蚀的过程中，保护结构上方的层间介质层容易被损耗，使保护结构暴露在外而损伤保护结构。



## 说明书

### 发明内容

基于此，有必要针对目前半导体器件制备方法形成的半导体器件中保护结构上方的层间介质层较薄的技术问题，提出了一种新的半导体器件制备方法。

一种半导体器件制备方法，所述半导体器件包括工作结构和对所述工作结构进行保护的5 保护结构，其特征在于，所述制备方法包括：

提供半导体衬底，所述半导体衬底包括原胞区和非原胞区，在所述非原胞区的半导体衬底上形成隔离介质层，在所述隔离介质层上形成具有第一导电类型掺杂的半导体层；

以所述半导体层和所述隔离介质层为掩膜对所述半导体衬底进行第一导电10 类型阱注入，在所述原胞区的半导体衬底内形成阱区；

对所述阱区进行掺杂以在所述原胞区内形成工作结构，对所述半导体层进行掺杂以在所述非原胞区上形成所述保护结构；

在所述工作结构和所述保护结构上形成层间介质层，并在所述层间介质层内形成接触孔，在所述层间介质层上形成与所述接触孔连接的金属互连层，通15 过所述金属互连层和所述接触孔连接所述工作结构和所述保护结构。

上述半导体器件制备方法，半导体衬底包括原胞区和非原胞区，其中，在原胞区内形成工作结构如 MOS 管，在非原胞区上形成保护结构如二极管。在原胞区内形成工作结构的工艺过程包括对原胞区内的半导体衬底阱注入，在阱注入之前，需要在非原胞区上形成掩膜以避免对非原胞区阱注入。在本申请中，20 在对原胞区进行阱注入之前，在非原胞区形成叠设的间隔介质层和半导体层，其中，半导体层是作为形成保护结构的基底，在后续工艺中，通过对半导体层进行掺杂而形成保护结构。由于半导体层具有厚度  $h_2$ ，以半导体层和隔离介质层作为掩膜对半导体衬底进行自对准阱注入，只要半导体层和隔离介质层整体



## 说明书

达到阱注入掩膜厚度，设隔离介质层的厚度为  $h_3$ ，只需  $h_3+h_2$  达到一定值便可保护非原胞区不受阱注入的影响，因此，隔离介质层的厚度  $h_3$  可小于传统技术中场氧的厚度  $h_1$ ，即在本申请中，非原胞区上的保护结构表面比原胞区内工作结构的表面高  $h_3+h_2$ 。相对于传统技术中以场氧为掩膜进行阱注入时，形成的半

5 导体器件中的非原胞区上的保护结构表面比原胞区内工作结构的表面高  $h_1+h_2$ ，本申请中非原胞区上的保护结构表面比原胞区内的的工作结构表面高  $h_3+h_2$ ，而  $h_3 < h_1$ ，即本申请中非原胞区上的保护结构表面与比原胞区内的的工作结构表面的高度差减小，相应的，形成于保护结构上的层间介质层的厚度增加，层间介质层的厚度越厚，对保护结构的保护作用越好。

10 在其中一个实施例中，所述半导体层的第一导电类型掺杂的剂量比所述半导体衬底的第一导电类型阱注入的剂量至少大一个数量级。

在其中一个实施例中，所述隔离介质层的厚度范围为  $1000\text{\AA}$  至  $2000\text{\AA}$ 。

在其中一个实施例中，所述隔离介质层为氧化硅层。

在其中一个实施例中，所述半导体层为第一导电类型多晶硅层。

15 在其中一个实施例中，所述原胞区位于所述半导体衬底的中间位置，非原胞区位于所述半导体衬底的外围且包围所述原胞区。

在其中一个实施例中，所述工作结构为 VDMOS 管，在对所述原胞区的半导体衬底进行第一导电类型阱注入的步骤之前，还包括：

20 在所述原胞区形成沟槽，在所述沟槽内壁形成栅氧层并在所述沟槽内填充多晶硅栅。

在其中一个实施例中，所述保护结构为二极管，所述半导体衬底具有第二导电类型；

所述对所述阱区进行掺杂以在所述原胞区内形成工作结构，对所述半导体





## 说明书

层进行掺杂以在所述非原胞区上形成所述保护结构的步骤具体包括：

对所述阱区进行第二导电类型掺杂形成源区，对所述半导体层的部分区域进行第二导电类型掺杂以形成并列的第一导电类型半导体结构和第二导电类型半导体结构；

- 5 所述在所述工作结构和所述保护结构上形成层间介质层，并在所述层间介质层内形成接触孔，在所述层间介质层上形成与所述接触孔连接的金属互连层，通过所述金属互连层和所述接触孔连接所述工作结构和所述保护结构的步骤具体包括：

- 10 在所述源区、沟槽及所述第一导电类型半导体结构和第二导电类型半导体结构上形成层间介质层，在所述源区上方的层间介质层上形成第一接触孔并引出与所述源区连接的源极，在所述沟槽上方的层间介质层上形成第二接触孔并引出与所述多晶硅栅连接的栅极，在所述第一导电类型半导体结构上方的层间介质层上形成第三接触孔并引出所述二极管的第一极，在所述第二导电类型半导体结构上方的层间介质层上形成第四接触孔并引出所述二极管的第二极，在  
15 所述层间介质层上形成金属互连层，使所述第一极与所述栅极连接，所述第二极与所述源极连接。

在其中一个实施例中，所述对所述阱区进行第二导电类型掺杂形成源区，对所述半导体层的部分区域进行第二导电类型掺杂的步骤具体包括：

- 20 共用一片掩膜板在所述阱区和所述半导体层上形成掺杂窗口，并同时对所述阱区和所述半导体层进行第二导电类型掺杂。

在其中一个实施例中，所述半导体层形成多个所述第一导电类型半导体结构和多个所述第二导电类型半导体结构，且所述第一导电类型半导体结构与所述第二导电类型半导体结构的数目相等，所述第一导电类型半导体结构与所述



## 说明书

第二导电类型半导体结构交替设置，分别从位于最外端的第一导电类型半导体结构和第二导电类型半导体结构引出二极管的第一极和第二极。

### 5 附图说明

图 1a 至图 1c 为传统技术半导体器件制备方法的相关步骤对应的器件状态图；

图 2 为本申请一实施例中半导体器件制备方法的步骤流程图；

图 3a 至图 3d 为本申请中半导体器件制备方法各步骤对应的器件状态图。

10

### 具体实施方式

为了便于理解本发明，下面将参照相关附图对本发明进行更全面的描述。

附图中给出了本发明的首选实施例。但是，本发明可以以许多不同的形式来实现，并不限于本文所描述的实施例。相反地，提供这些实施例的目的是使对本发明的公开内容更加透彻全面。

15

除非另有定义，本文所使用的所有的技术和科学术语与属于本发明的技术领域的技术人员通常理解的含义相同。本文中在本发明的说明书中所使用的术语只是为了描述具体的实施例的目的，不是旨在于限制本发明。本文所使用的术语“及 / 或”包括一个或多个相关的所列项目的任意的和所有的组合。

20 以垂直双扩散金属氧化物半导体场效应管（Vertical Double-diffused

Metal-Oxide-Semiconductor Field-Effect Transistor，以下简称 VDMOS 管）连接

二极管为例说明目前制备半导体器件的工艺步骤，其中，VDMOS 管为工作结构，

二极管为静电保护结构，该制备步骤包括：



## 说明书

步骤 S110: 提供半导体衬底, 半导体衬底包括原胞区和非原胞区, 在非原胞区上形成场氧。

如图 1a 所示, 半导体衬底 110 包括原胞区 B 和非原胞区 A, 在半导体衬底 110 上形成一层场氧后, 通过光刻、刻蚀工艺去除原胞区域的场氧, 保留非原胞区域 A 的场氧 120。

步骤 S120: 在所述原胞区的半导体衬底内形成沟槽并在所述沟槽内壁形成栅氧化层, 在所述沟槽内填充多晶硅栅, 以场氧为掩膜对原胞区域的半导体衬底进行第一导电类型阱注入, 形成阱区。

如图 1b 所示, 通过光刻与刻蚀工艺在原胞区的半导体衬底 110 内形成沟槽, 在沟槽内壁形成栅氧化层 111, 在沟槽内填充多晶硅栅 112, 以场氧 120 为掩膜对原胞区域的半导体衬底进行自对准阱注入, 形成阱区 113。其中, 场氧 120 需达到一定厚度  $h_1$  才能作为阱注入的自对准掩膜, 即场氧 120 的厚度为  $h_1$ 。

步骤 S130: 在场氧上形成半导体层, 并对半导体层进行第一导电类型掺杂形成第一导电类型半导体结构, 对半导体层进行第二导电类型掺杂形成第二导电类型半导体结构, 第一导电类型半导体结构和第二导电类型半导体结构形成 P-N 结, 对阱区进行第二导电类型掺杂形成源区, 在半导体层、沟槽和源区上形成层间介质层, 并在层间介质层内形成接触孔, 通过接触孔从第一导电类型半导体结构处引出二极管的第一极, 从第二导电类型半导体结构处引出二极管的第二极, 从源区引出源极, 从多晶硅栅处引出栅极, 在所述层间介质层上形成金属互连层, 通过所述金属互连层连接第一极和栅极, 连接第二极和源极。

如图 1c 所示, 在场氧 120 上淀积一层半导体层, 半导体层的厚度为  $h_2$ , 并对半导体层进行第一导电类型掺杂和第二导电类型掺杂, 使半导体层的部分半导体具有第一导电类型, 部分半导体具有第二导电类型, 即半导体层形成有

## 说明书

第一导电类型半导体结构 131 和第二导电类型半导体结构 132, 第一导电类型半导体结构 131 和第二导电类型半导体结构 132 形成 PN 结, 该 PN 结构成二极管。同时, 对阱区进行第二导电类型掺杂形成源区 114。在源区 114、沟槽及半导体层上方覆盖一层层间介质层 140, 在层间介质层内形成接触孔 150, 具体为在第一导电类型半导体 131 上方的层间介质层 140 形成接触孔以引出二极管的第一极, 在第二导电类型半导体 132 上方的层间介质层 140 形成接触孔引出二极管的第二极, 在源区 114 上方的层间介质层 140 形成接触孔引出源极, 在多晶硅栅 112 上方的层间介质层 140 形成接触孔引出栅极 (图中未示出)。在层间介质层 140 上形成金属互连层 160, 通过金属互连层 160 连接第一极和栅极, 并连接第二极和源极, 并在半导体衬底的背面形成漏极, 由此形成具有二极管静电保护的 VDMOS 器件。

上述半导体制备方法形成的半导体器件, 场氧 120 的厚度为  $h_1$ , 半导体层的厚度为  $h_2$ , 半导体层上方的层间介质层 140 的厚度为  $d_1$ , 源区 114 上方的层间介质层 140 的厚度为  $d_2$ , 则  $d_2 - d_1 = h_1 + h_2$ , 即非原胞区 A 上方的层间介质层的厚度比原胞区上方的层间介质层的厚度薄  $h_1 + h_2$ 。而由于在层间介质层中需形成接触孔, 接触孔的尺寸受工艺线宽的限制, 使得原胞区上方的层间介质层的厚度不能超过一定值, 从而使得非原胞区上方的层间介质层较薄。在后续的工艺中如金属刻蚀工艺中, 层间介质层会有所损失, 当非原胞区上方的层间介质层较薄时, 非原胞区上方的层间介质层很可能在金属刻蚀工艺中被去除而损伤层间介质层下方的保护结构。

基于此, 本方案提出了一种新的半导体制备方法, 可以增大保护结构上的层间介质层的厚度如图 2 所示, 该制备方法包括:

步骤 S210: 提供半导体衬底, 半导体衬底包括原胞区和非原胞区, 在非原



## 说明书

胞区的半导体衬底上形成隔离介质层，在隔离介质层上形成具有第一导电类型掺杂的半导体层。

如图 3a 所示，提供半导体衬底 210，半导体衬底 210 包括原胞区 N 和非原胞区 M，在一实施例中，原胞区 N 位于半导体衬底 210 的中间位置，非原胞区 M 位于半导体衬底 210 的外围且包围原胞区 N，由此对原胞区内的结构进行隔离。在非原胞区 M 的半导体衬底上形成隔离介质层 220，在隔离介质层 220 上形成具有第一导电类型掺杂的半导体层 230。在一实施例中，半导体层 230 为第一导电类型多晶硅层，半导体层 230 也可为其他多晶半导体材料。半导体层 230 的厚度  $H_2 \approx 4000 \text{ \AA}$ 。在一实施例中，隔离介质层 220 的厚度  $H_3$  的范围为  $1000 \text{ \AA}$  至  $2000 \text{ \AA}$ ，可选约  $1500 \text{ \AA}$ 。在一实施例中，隔离介质层 220 为氧化硅层。在一具体的实施例中，当隔离介质层 220 为氧化硅层，且半导体层 230 为多晶硅层，在非原胞区的半导体衬底 210 上形成氧化硅层并在氧化硅层上形成第一导电类型多晶硅层的具体方法可为：通过热氧化工艺在半导体衬底 210 上形成一层热氧化层，通过淀积工艺在热氧化层上淀积一层多晶硅层，通过掺杂工艺对多晶硅层进行第一导电类型掺杂，形成第一导电类型多晶硅层，通过第一次光刻和刻蚀工艺刻蚀掉原胞区的多晶硅并保留非原胞区的多晶硅，通过第二次刻蚀工艺刻蚀掉原胞区域的热氧化层并保留非原胞区域的热氧化层，在第二次刻蚀工艺中，可以以多晶硅层为掩膜对热氧化层进行第二次刻蚀，由此可以省略一次光刻工艺。在非原胞区的半导体衬底上形成隔离介质层并在隔离介质层上形成具有第一导电类型掺杂的半导体层的工艺步骤并不限于此，在其他实施例中，也可以是先进行光刻与刻蚀工艺，再进行掺杂工艺。

步骤 S220：以半导体层和隔离介质层为掩膜对所述半导体衬底进行第一导电类型阱注入，在所述原胞区的半导体衬底内形成阱区。

## 说明书

如图 3b 所示,以半导体层 230 和隔离介质层 220 为掩膜,对半导体衬底 210 进行第一导电类型阱注入,在原胞区的半导体衬底内形成阱区 213。在一实施例中,隔离介质层 220 和半导体层 230 的总厚度  $H_2+H_3$  的范围为  $5000\text{\AA}$  至  $6000\text{\AA}$ , 该厚度可以在阱注入时避免阱注入粒子进入非原胞区的半导体衬底内。在一实施例中,半导体层的第一导电类型掺杂的剂量比半导体衬底的第一导电类型阱注入的剂量至少大一个数量级,其中,第一导电类型阱注入的剂量不超过  $2E13/\text{cm}^2$ ,可为  $5E12/\text{cm}^2\sim 2E13/\text{cm}^2$ ,半导体层 230 的第一导电类型掺杂的剂量不低于  $4E14/\text{cm}^2$ ,可为  $4E14/\text{cm}^2\sim 8E14/\text{cm}^2$ ,即半导体层 230 的第一导电类型掺杂的剂量是第一导电类型阱注入的剂量的至少十倍。当以半导体层 230 和隔离介质层 220 为掩膜进行第一导电类型阱注入时,第一导电类型阱注入粒子对半导体层的影响较小。当保护结构对半导体层中的第一导电类型掺杂浓度的准确性要求较高时,在进行半导体层的第一导电类型掺杂时,可考虑后续阱注入工艺的影响适当降低掺杂剂量。

在一实施例中,当工作结构为 VDMOS 管时,在阱注入工艺之前,还包括在原胞区形成沟槽,在沟槽内壁形成栅氧层并在沟槽内填充多晶硅的步骤。如图 3b 所示,通过光刻与刻蚀工艺在原胞区内的半导体衬底 210 上形成若干沟槽,通过热氧化工艺在沟槽内壁形成一层栅氧层 212,通过淀积工艺淀积一层多晶硅,该多晶硅填充于沟槽内,通过回蚀工艺去除沟槽外的多晶硅并保留沟槽内的多晶硅形成多晶硅栅 212。

步骤 S230:对阱区进行掺杂以在原胞区内形成工作结构,对半导体层进行掺杂以在非原胞区上形成保护结构。

工作结构是以原胞区的半导体衬底为基底,形成于半导体衬底 210 内,保护结构是以非原胞区的半导体衬底上的半导体层为基底,形成于半导体衬底 210



## 说明书

上。在步骤 S220 中形成半导体层 230 和阱区 213 后，经过掺杂等工艺在原胞区内形成工作结构，在非原胞区上形成保护结构。

步骤 S240：在工作结构和保护结构上形成层间介质层，并在层间介质层内形成接触孔，在层间介质层上形成与接触孔连接的金属互连层，通过金属互连层和接触孔连接工作结构和保护结构。

通过步骤 S230，形成工作结构和保护结构，其中，工作结构形成于半导体层 230 内，保护结构形成于原胞区的半导体衬底 210 内。如图 3d 所示，形成工作结构和保护结构后，需淀积一层层间介质层 240，并在层间介质层 240 内形成接触孔，通过接触孔引出工作结构和保护结构的各个电极，然后在层间介质层上淀积一层金属互连层，金属互连层与接触孔连接，通过金属互连层和接触孔连接工作结构和保护结构。

以工作结构为 VDMOS 管，保护结构为二极管为例对步骤 S230 和步骤 S240 进行说明，其中，半导体衬底具有第二导电类型。

在步骤 S230 中，对阱区进行掺杂以在原胞区内形成工作结构，对半导体层进行掺杂以在非原胞区上形成保护结构的步骤具体包括：

对阱区进行第二导电类型掺杂形成源区，对半导体层的部分区域进行第二导电类型掺杂以形成并列的第一导电类型半导体结构和第二导电类型半导体结构。

如图 3c 所示，对阱区 213 进行掺杂形成源区 214，对半导体层的部分区域进行第二导电类型掺杂以使部分区域的第一导电类型半导体转变为第二导电类型半导体，从而使半导体层形成并列的第一导电类型半导体结构 231 和第二导电类型半导体结构 232，其中，第一导电类型半导体结构 231 为半导体层未进行第二导电类型掺杂的区域，第二导电类型半导体结构 232 为半导体层中进行第



## 说明书

二导电类型掺杂的区域，并列的第一导电类型半导体结构 231 和第二导电类型  
半导体结构 232 形成 PN 结。在一实施例中，继续参见图 3c，半导体层形成有  
多个第一导电类型半导体结构 231 和多个第二导电类型半导体结构 232，且第一  
导电类型半导体结构 231 与第二导电类型半导体结构 232 的数目相等，第一导  
5 电类型半导体结构 231 与第二导电类型半导体结构 232 交替设置，分别从位于  
最外端的第一导电类型半导体结构 231 和第二导电类型半导体结构 232 引出二  
极管的第一极和第二极，由此形成多个串联的 PN 结。

在一实施例中，对阱区进行第二导电类型掺杂形成源区，对半导体层的部  
分区域进行第二导电类型掺杂的步骤具体包括：共用一片掩模板在阱区和半导  
10 体层上形成掺杂窗口，并同时对阱区和半导体层进行第二导电类型掺杂。共用  
一片掩模板，在原胞区域上方以及部分半导体层上形成掺杂窗口，同时对阱区  
和部分半导体层进行第二导电类型掺杂，可节省工艺步骤。

在步骤 S240 中，在工作结构和保护结构上形成层间介质层，并在层间介质  
层内形成接触孔，在层间介质层上形成与接触孔连接的金属互连层，通过金属  
15 互连层和接触孔连接工作结构和保护结构的步骤具体包括：

在源区、沟槽及第一导电类型半导体结构和第二导电类型半导体结构上形  
成层间介质层，在源区上方的层间介质层上形成第一接触孔并引出与源区连接  
的源极，在沟槽上方的层间介质层上形成第二接触孔并引出与多晶硅栅连接的  
栅极，在第一导电类型半导体结构上方的层间介质层上形成第三接触孔并引出  
20 二极管的第一极，在第二导电类型半导体结构上方的层间介质层上形成第四接  
触孔并引出二极管的第二极，在层间介质层上形成金属互连层，使第一极与栅  
极连接，第二极与源极连接。

如图 3d 所示，在源区、沟槽及第一导电类型半导体结构和第二导电类型半





## 说明书

导体结构上淀积一层层间介质层 240，在源区 214 上方的层间介质层 240 内形成第一接触孔 251 并引出与源区 214 连接的源极，在沟槽上方的层间介质层 240 内形成第二接触孔并引出与多晶硅栅 212 连接的栅极，在第一导电类型半导体结构 231 上方的层间介质层内形成第三接触孔 253 并引出二极管的第一极，在第二导电类型半导体结构 232 上方的层间介质层 240 上形成第四接触孔 254 并引出二极管的第二极。在层间介质层 240 上形成金属互连层，金属互连层包括与第一接触孔连接的第一金属条 261、与第二接触孔连接的第二金属条（图中未示出）、与第三接触孔 253 连接的第三金属条 263 以及与第四接触孔 254 连接的第四金属条 264，通过金属互连层和接触孔，使第一极与栅极连接，第二极与源极连接。在一实施例中，引出源极的第一接触孔 251 穿透源区 214 并延伸至阱区 213，引出二极管第一极的第三接触孔 253 穿透第一导电类型半导体结构 231 并停止于隔离介质层 220 上，引出二极管第二极的第四接触孔 254 穿透第二导电类型半导体结构 232 并停止于隔离介质层 220 上。同时，在半导体衬底 210 背离层间介质层的一侧形成漏极，由此完成 VDMOS 管与二极管的并联，利用二极管实现对 VDMOS 的静电保护功能。

在一实施例中，半导体衬底包括半导体基底自半导体基底生长的外延层。在一实施例中，第一导电类型可为 P 型，第二导电类型可为 N 型，或第一导电类型可为 N 型，第二导电类型可为 P 型。当第一导电类型为 P 型时，通过上述方法形成的 VDMOS 管为 N 型 VDMOS 管，形成的二极管中的第一极为阳极，第二极为阴极，当第一导电类型为 N 型时，通过上述方法形成的 VDMOS 管为 P 型 VDMOS 管，形成的二极管中的第一极为阴极，第二极为阳极。上述实施例具体以 VDMOS 管作为工作结构，在其他实施例中，也可以是横向双扩散金属氧化物半导体场效应管（Lateral Double-diffused Metal-Oxide-Semiconductor



## 说明书

Field-Effect Transistor, 简称 LDMOS 管) 或者其他具有阱注入工艺的半导体器件, 在阱注入时以保护结构中的隔离介质层和半导体层为掩膜代替场氧实现自对准阱注入的方案均落入本申请的保护范围之内。

上述半导体器件制备方法, 在对原胞区 N 的半导体衬底 210 进行阱注入之前, 先在非原胞区 M 形成隔离介质层 220 和半导体层 230, 以隔离介质层 220 和半导体层 230 共同作为自对准掩膜, 对半导体衬底 210 进行阱注入, 从而在原胞区 N 形成阱区, 而非原胞区 M 由于受隔离介质层 220 和半导体层 230 的屏蔽作用而不受阱注入的影响。在传统技术中, 非原胞区域上的保护结构形成于场氧上, 且使用场氧作为自对准掩膜, 场氧的厚度  $h_1$  较厚, 而在本申请中, 非原胞区域上的保护结构形成于隔离介质层 220 上, 由于以隔离介质层 220 和形成保护结构的半导体层 230 作为自对准掩膜, 只要隔离介质层 220 和半导体层 230 整体达到一定厚度即可作为自对准掩膜, 即隔离介质层 220 的厚度  $H_3$  可以比较薄, 隔离介质层的厚度  $H_3$  小于场氧的厚度  $h_1$ , 而半导体层的厚度保持不变时, 即  $H_2=h_2$  时, 使得非原胞区上的保护结构与原胞区内的工作结构形成的台阶高度减小, 当原胞区上方的层间介质层的厚度不变时, 即  $D_2=d_2$  时, 本申请中的非原胞区上的保护结构上方的层间介质层的厚度增大, 即  $D_1>d_1$ , 使得层间介质层对保护结构的隔离作用增强。

以上实施例仅表达了本发明的几种实施方式, 其描述较为具体和详细, 但并不能因此而理解为对发明专利范围的限制。应当指出的是, 对于本领域的普通技术人员来说, 在不脱离本发明构思的前提下, 还可以做出若干变形和改进, 这些都属于本发明的保护范围。因此, 本发明专利的保护范围应以所附权利要求为准。

说明书附图

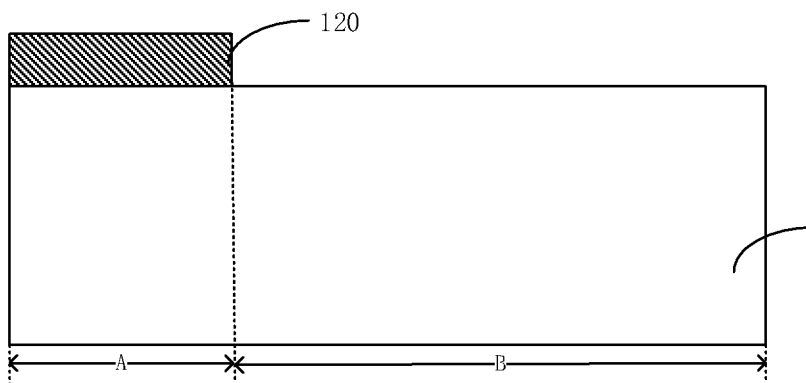


图 1a

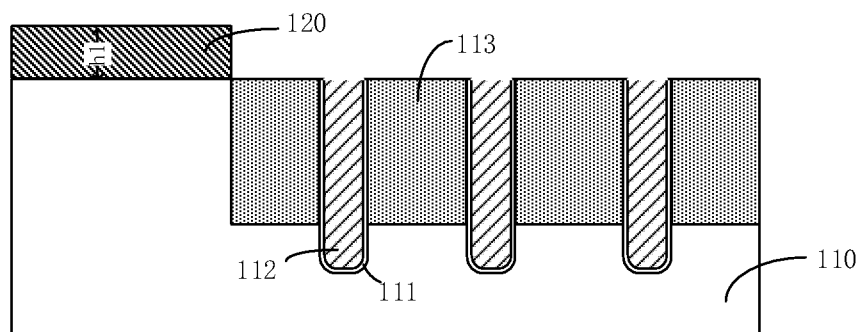


图 1b

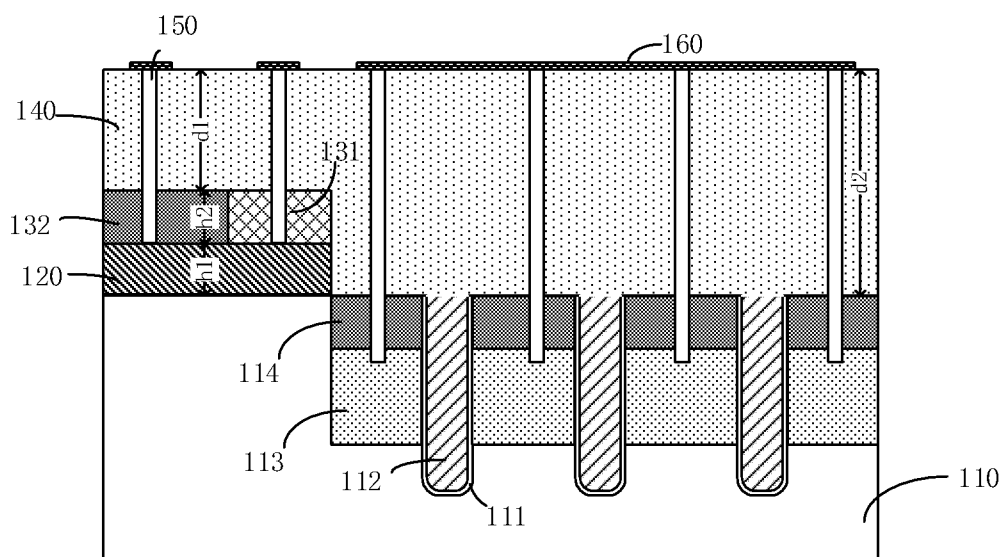


图 1c



## 说明书附图

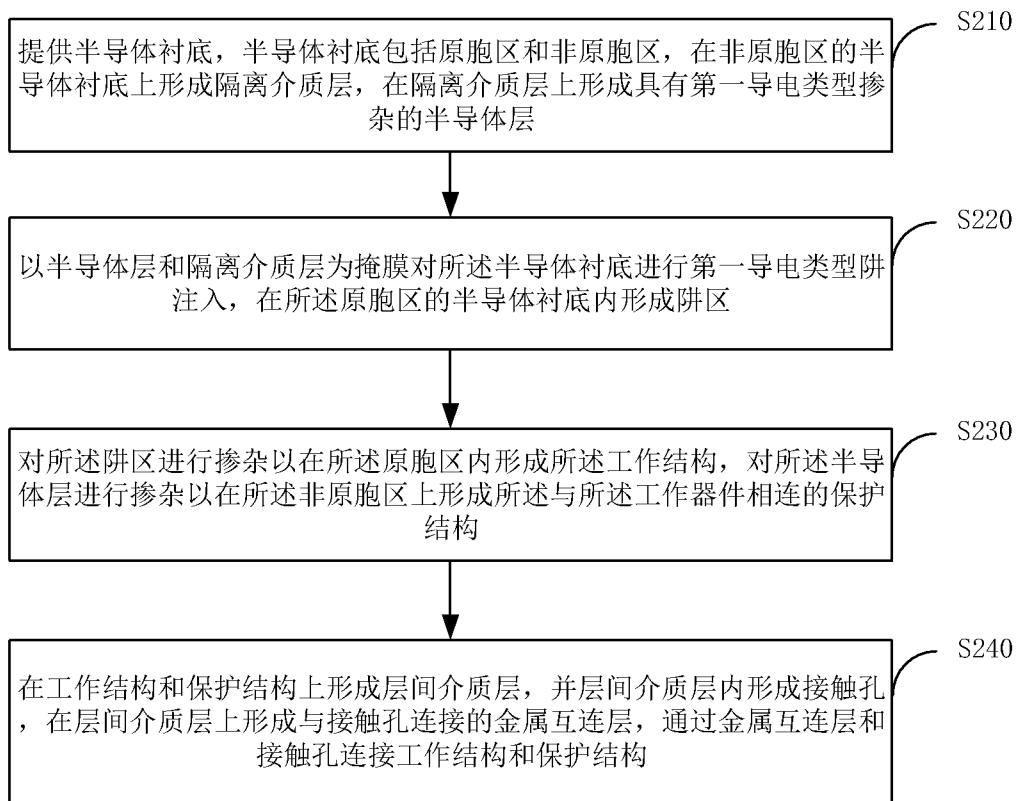


图 2

说明书附图

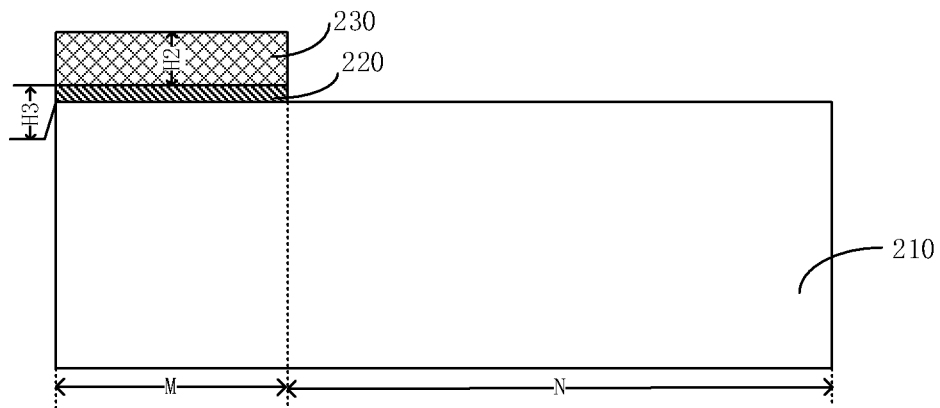


图 3a

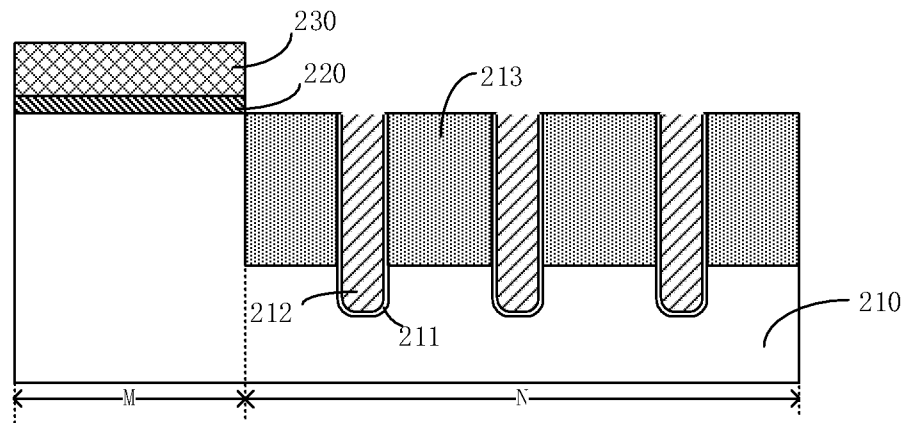


图 3b

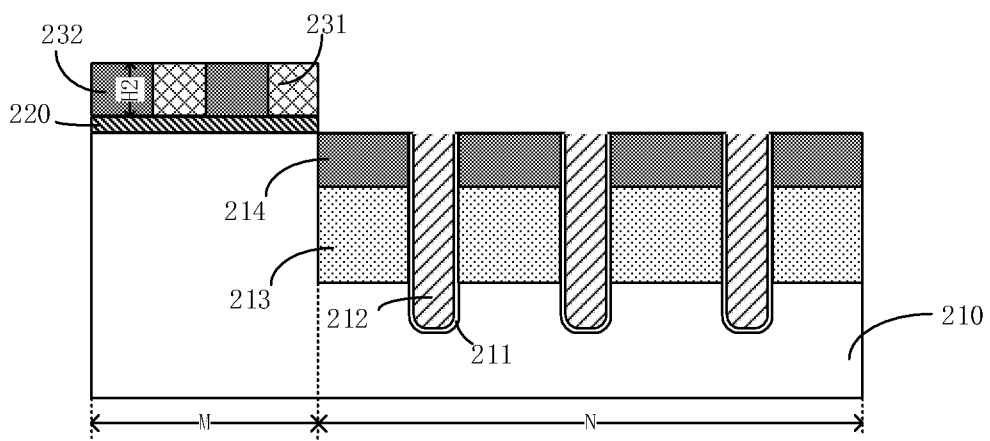


图 3c



说明书附图

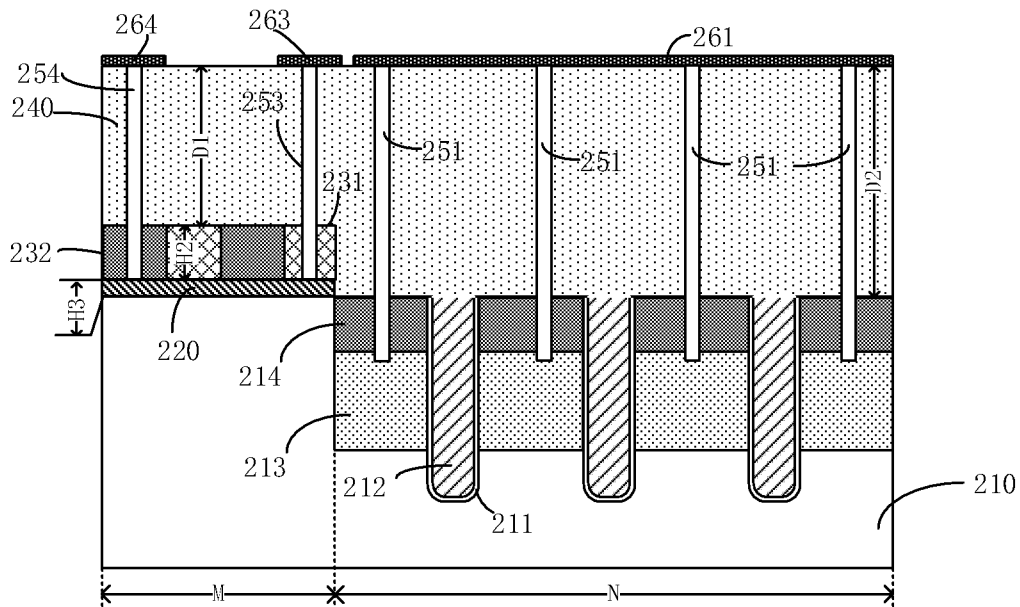


图 3d

