

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、半導体装置に関する。

背景技術

[0002] 高周波電力増幅器には、一般的にマルチフィンガートランジスタが用いられる。マルチフィンガートランジスタとは、例えば、特許文献1に記載されるように、ゲートフィンガー、ドレイン電極およびソース電極が交互に並列配置されたトランジスタである。

先行技術文献

特許文献

[0003] 特許文献1：国際公開第2010/113779号

発明の概要

発明が解決しようとする課題

[0004] 従来のマルチフィンガートランジスタにおいて、一般的に、ゲートフィンガーを長くすると電流が増大するため、出力電力が増加する。しかしながら、ゲートフィンガーが長くなると、ゲートフィンガーの寄生抵抗およびインダクタンス成分の影響によって、ゲートフィンガー内で入力電圧振幅が不均一になって、ゲートフィンガーの1mm長さ当たりの出力電力である出力電力密度が低下するという課題があった。

[0005] 本発明は上記課題を解決するものであり、出力電力密度の低下を抑制できる半導体装置を得ることを目的とする。

課題を解決するための手段

[0006] 本発明に係る半導体装置は、基板上に設けられた半導体層と、半導体層上に設けられたゲート接続部と、ゲート接続部の両側から対称的に延びた複数のゲートフィンガーと、ゲート接続部の第1の側に延びたゲートフィンガーと当該ゲート接続部の第1の側とは反対の第2の側に延びたゲートフィンガ

一との両方に隣接するドレイン電極と、ゲート接続部の第1の側に延びたゲートフィンガーと当該ゲート接続部の第2の側に延びたゲートフィンガーとに個々に隣接する複数のソース電極と、ゲートフィンガーに入力する電力が伝送されるゲート引き回し線路と、ゲート接続部の第2の側に延びたゲートフィンガーに隣接しているソース電極を跨いでゲート接続部とゲート引き回し線路とを接続するゲートエアブリッジを備える。

発明の効果

[0007] 本発明によれば、ゲート接続部の両側から対称的に延びた複数のゲートフィンガーと、ゲート接続部の両側から延びたゲートフィンガーの両方に隣接するドレイン電極と、ゲート接続部の両側から延びたゲートフィンガーに個々に隣接する複数のソース電極を備え、ゲートエアブリッジが、ソース電極を跨いでゲート接続部とゲート引き回し線路とを接続している。従来の半導体装置では、一般的に、1本のゲートフィンガーの長さが、ゲート接続部の両側から延びた2本のゲートフィンガーの長さを合わせた長さに相当する。このように、本発明に係る半導体装置は、1本のゲートフィンガーの長さが従来の半導体装置よりも短いので、長さが短くなった分だけ、ゲートフィンガー内の入力電圧振幅が均一化されて、出力電力密度の低下が抑制される。

図面の簡単な説明

[0008] [図1]実施の形態1に係る半導体装置の構成例を示す上面図である。
 [図2]図1の半導体装置をa-a線で切った断面を示す断面矢示図である。
 [図3]図3Aは、従来の半導体装置の構成を示す上面図である。図3Bは、図3Aの半導体装置における入力電力伝送経路の長さを入力電圧振幅との関係を示すグラフである。
 [図4]図4Aは、実施の形態1に係る半導体装置の構成例を示す上面図である。図4Bは、図4Aの半導体装置における入力電力伝送経路の長さを入力電圧振幅との関係を示すグラフである。
 [図5]半導体装置の電極構造の計算モデルの例を示す図である。
 [図6]半導体装置における入力電力伝送経路の長さを入力電圧振幅との関

係のシミュレーション結果を示すグラフである。

[図7]実施の形態2に係る半導体装置を図1のa-a線と同じ位置で切った断面を示す断面矢示図である。

[図8]実施の形態3に係る半導体装置の構成例を示す上面図である。

[図9]図8の半導体装置をd-d線で切った断面を示す断面矢示図である。

[図10]実施の形態4に係る半導体装置の構成例を示す上面図である。

[図11]図10の半導体装置をe-e線で切った断面を示す断面矢示図である。

[図12]実施の形態5に係る半導体装置の構成例を示す上面図である。

[図13]図12の半導体装置をf-f線で切った断面を示す断面矢示図である。

発明を実施するための形態

[0009] 実施の形態1.

図1は、実施の形態1に係る半導体装置の構成例を示す上面図である。図2は、図1の半導体装置をa-a線で切った断面を示す断面矢示図である。図1に示す半導体装置は、マルチフィンガートランジスタであり、半導体層1、ゲートフィンガー2-1~2-8、ゲート接続部2a-1~2a-3、ドレイン電極3-1, 3-2、ソース電極4-1~4-6、ビア5、ゲート引き回し線路6、ドレイン引き回し線路7、ゲートエアブリッジ8-1~8-3、基板9および接地層10を備える。

[0010] 半導体層1は、図2に示すように、基板9の一方の面上に形成され、基板9の他方の面には、接地層10が形成されている。ゲート接続部2a-1~2a-3は、半導体層1上に形成され、一直線状に並列配置されている。図1に示すように、ゲートフィンガー2-1とゲートフィンガー2-2は、ゲート接続部2a-1の両側から対称的に延びた複数のゲートフィンガーである。ゲートフィンガー2-3, 2-5とゲートフィンガー2-4, 2-6は、ゲート接続部2a-2の両側から対称的に延びた複数のゲートフィンガーである。ゲートフィンガー2-7とゲートフィンガー2-8は、ゲート接続

部 2 a - 3 の両側から対称的に延びた複数のゲートフィンガーである。

[0011] ゲート接続部 2 a - 1 においてゲートフィンガー 2 - 1 が延びている側、ゲート接続部 2 a - 2 においてゲートフィンガー 2 - 3, 2 - 5 が延びている側、およびゲート接続部 2 a - 3 においてゲートフィンガー 2 - 7 が延びている側を、“第 1 の側”とする。

ゲート接続部 2 a - 1 においてゲートフィンガー 2 - 2 が延びている側、ゲート接続部 2 a - 2 においてゲートフィンガー 2 - 4, 2 - 6 が延びている側、およびゲート接続部 2 a - 3 においてゲートフィンガー 2 - 8 が延びている側、すなわち、第 1 の側とは反対の側を、“第 2 の側”とする。

[0012] ドレイン電極 3 - 1 は、ゲート接続部 2 a - 1 の第 1 の側に延びたゲートフィンガー 2 - 1 とゲート接続部 2 a - 1 の第 2 の側に延びたゲートフィンガー 2 - 2 との両方に隣接し、ゲート接続部 2 a - 2 の第 1 の側に延びたゲートフィンガー 2 - 3 とゲート接続部 2 a - 2 の第 2 の側に延びたゲートフィンガー 2 - 4 との両方に隣接している帯状の電極である。

[0013] ドレイン電極 3 - 2 は、ゲート接続部 2 a - 2 の第 1 の側に延びたゲートフィンガー 2 - 5 とゲート接続部 2 a - 2 の第 2 の側に延びたゲートフィンガー 2 - 6 との両方に隣接し、ゲート接続部 2 a - 3 の第 1 の側に延びたゲートフィンガー 2 - 7 とゲート接続部 2 a - 3 の第 2 の側に延びたゲートフィンガー 2 - 8 との両方に隣接している帯状の電極である。ドレイン電極 3 - 1, 3 - 2 は、ドレイン引き回し線路 7 に接続されている。

[0014] ソース電極 4 - 1 ~ 4 - 6 は、ゲート接続部 2 a - 1 ~ 2 a - 3 の両側から延びたゲートフィンガー 2 - 1 ~ 2 - 8 と個々に隣接している。例えば、図 1 に示すように、ソース電極 4 - 1 は、ゲートフィンガー 2 - 1 に隣接し、ソース電極 4 - 2 は、ゲートフィンガー 2 - 2 に隣接している。ソース電極 4 - 3 は、ゲートフィンガー 2 - 3, 2 - 5 に隣接し、ソース電極 4 - 4 は、ゲートフィンガー 2 - 4, 2 - 6 に隣接している。ソース電極 4 - 5 は、ゲートフィンガー 2 - 7 に隣接し、ソース電極 4 - 6 は、ゲートフィンガー 2 - 8 に隣接している。

- [0015] ソース電極4-1~4-6のそれぞれは、ビア5によって基板9の接地層10に電氣的に接続されている。ゲート引き回し線路6は、半導体層1上に形成され、ゲートフィンガー2-1~2-8に供給する電力が入力される。ドレイン引き回し線路7は、半導体層1上に形成され、ドレイン電極3-1, 3-2からの電力が出力される線路である。
- [0016] ゲートエアブリッジ8-1は、ゲート接続部2a-1の第2の側に延びたゲートフィンガー2-2に隣接しているソース電極4-2を跨いでゲート接続部2a-1とゲート引き回し線路6とを接続している。ゲートエアブリッジ8-2は、ゲート接続部2a-2の第2の側に延びたゲートフィンガー2-4とゲートフィンガー2-6に隣接しているソース電極4-4を跨いで、ゲート接続部2a-2とゲート引き回し線路6とを接続している。ゲートエアブリッジ8-3は、ゲート接続部2a-3の第2の側に延びたゲートフィンガー2-8に隣接しているソース電極4-6を跨いでゲート接続部2a-3とゲート引き回し線路6とを接続している。
- [0017] ゲートエアブリッジ8-1~8-3は導体材料で形成されており、ゲートフィンガー2-1~2-8に入力する電力が伝送される。ゲート引き回し線路6に伝送された電力は、ゲートエアブリッジ8-1を介してゲートフィンガー2-1, 2-2に入力され、ゲートエアブリッジ8-2を介してゲートフィンガー2-3~2-6に入力され、ゲートエアブリッジ8-3を介してゲートフィンガー2-7, 2-8に入力される。
- [0018] ソース電極4-2, 4-4, 4-6とゲートエアブリッジ8-1, 8-2, 8-3とが短絡されないように、ソース電極4-2とゲートエアブリッジ8-1の間、ソース電極4-4とゲートエアブリッジ8-2との間、およびソース電極4-6とゲートエアブリッジ8-3との間には、空隙が形成されている。このため、ソース電極4-2とゲートエアブリッジ8-1との間、ソース電極4-4とゲートエアブリッジ8-2との間、およびソース電極4-6とゲートエアブリッジ8-3との間には、図2に示すように、容量 C_{pg} が形成される。容量 C_{pg} は、半導体装置の高周波特性に悪影響を与

えるため、極力減らすことが望ましい。そこで、ソース電極の厚み t_s は、可能な限り薄くする。これにより、ソース電極とゲートエアブリッジとの距離が広がって容量 C_{pgs} が減少する。

[0019] 図3Aは、従来の半導体装置の構成を示す上面図である。図3Aに示す半導体装置は、従来の一般的な構造を有したマルチフィンガートランジスタであり、半導体層100、ゲートフィンガー101-1~101-4、ドレイン電極102-1, 102-2、ソース電極103-1~103-3、ビア104、ゲート引き回し線路105およびドレイン引き回し線路106を備える。半導体層100は、図2に示した半導体装置と同様に、基板の一方の面上に形成され、この基板の他方の面には接地層が形成されている。ソース電極103-1~103-3のそれぞれは、ビア104によって上記接地層に電氣的に接続されている。

[0020] ゲートフィンガー101-1~101-4は、半導体層100上で櫛歯状に配置されており、それぞれの一方の端部がゲート引き回し線路105に接続されている。ドレイン電極102-1, 102-2は、隣り合ったゲートフィンガー間に配置された帯状の電極であり、それぞれの一方の端部がドレイン引き回し線路106に接続されている。ソース電極103-1は、ゲートフィンガー101-1に隣接して配置され、ソース電極103-2は、ゲートフィンガー101-2, 101-3に隣接して配置され、ソース電極103-3は、ゲートフィンガー101-4に隣接して配置されている。

[0021] ゲート引き回し線路105に入力された電力は、図3Aに矢印で示す入力電力伝送経路に沿って、ゲートフィンガー101-1~101-4に伝送される。ゲートフィンガー101-1~101-4の各長さを W_{gu0} とする。長さ W_{gu0} は、ゲートフィンガー101-1~101-4のそれぞれが、ソース電極103-1~103-3の各々と対向している部分の長さに相当する。ゲートフィンガー101-1~101-4の各長さを合計した長さ（以下、トータルフィンガー長と記載する）を、 W_{gt} ($=W_{gu0} \times 4 = 4W_{gu0}$) とする。

[0022] 図3Bは、図3Aの半導体装置における入力電力伝送経路の長さを入力電圧振幅との関係を示すグラフである。図3Bにおいて、入力電力伝送経路の長さは、ゲート引き回し線路105から、当該ゲート引き回し線路105に接続されたゲートフィンガーの開放端であるb点までの長さである。また、ゲートフィンガー101-1~101-4のそれぞれの長さは、ゲートフィンガーのb点から当該ゲートフィンガーにおけるソース電極に対向している部分の根元側の端点までの長さ W_{gu0} である。

[0023] 図3Aおよび図3Bにおいて、X方向を入力電力伝送経路の長さとした場合に、b点が $X=0$ であり、ゲートフィンガーにおけるソース電極に対向している部分の根元側の端点が $X=W_{gu0}$ である。入力電圧振幅は、ゲートフィンガー内のb点における高周波信号の入力電圧振幅（以下、RF入力電圧振幅と記載する）である。

[0024] 図3Bに矢印で示すように、ゲートフィンガーのb点からゲートフィンガーの根元側に向かうにつれてRF入力電圧振幅が徐々に低下している。この傾向は、ゲートフィンガーの長さ W_{gu0} が長くなるほど顕著になり、不均一の度合いが大きくなる。このように、従来の半導体装置では、ゲートフィンガーの寄生的な抵抗およびインダクタンスの影響を受けてゲートフィンガー内で入力電圧振幅が均一にならず、ゲートフィンガーが長くなるほど、出力電力密度が低下する。出力電力密度は、前述したように、ゲートフィンガーの1mm長さ当たりの出力電力である。

[0025] 図4Aは、実施の形態1に係る半導体装置の構成例を示す上面図である。図4Aに示す半導体装置は、図1に示したマルチフィンガートランジスタである。ゲートフィンガー2-1とゲートフィンガー2-2は、ゲート接続部2a-1の両側から対称的に延びており、ゲートフィンガー2-3、2-5とゲートフィンガー2-4、2-6は、ゲート接続部2a-2の両側から対称的に延びている。ゲートフィンガー2-7とゲートフィンガー2-8は、ゲート接続部2a-3の両側から対称的に延びている。ソース電極4-1~4-6は、ゲート接続部2a-1~2a-3の両側から延びたゲートフィン

ガー 2-1 ~ 2-8 と個々に隣接している。

- [0026] ゲート引き回し線路 6 に入力された電力は、図 4 A に矢印で示すように、ゲートエアブリッジ 8-1 ~ 8-3 およびゲート接続部 2 a-1 ~ 2 a-3 を介した入力電力伝送経路に沿って、ゲートフィンガー 2-1 ~ 2-8 に伝送される。ここで、ゲートフィンガー 2-1 ~ 2-8 の各長さを W_{gu1} する。長さ W_{gu1} は、例えば、ゲートフィンガーの開放端からゲート接続部の中央点までの長さである。ゲート接続部の中央点は、ゲート接続部のドレイン電極と対向している部分において、第 1 の側にあるゲートフィンガーと第 2 の側にあるゲートフィンガーとの対称軸が通る点である。
- [0027] ゲートフィンガーにおけるソース電極に対向している部分の長さがトランジスタの特性に影響を与える長さである。このため、図 3 A に示した従来の半導体装置のゲートフィンガーの長さ W_{gu0} は、図 4 A に示すゲート接続部の両側から延びた 2 本のゲートフィンガーの各長さを合計した長さ ($W_{gu1} \times 2$) として近似することができる。この場合、ゲートフィンガー 2-1 ~ 2-8 のそれぞれの長さ W_{gu1} は、 $W_{gu1} = W_{gu0} / 2$ となる。
- [0028] 図 4 B は、図 4 A の半導体装置における入力電力伝送経路の長さを入力電圧振幅との関係を示すグラフである。図 4 B における入力電力伝送経路の長さは、ゲート接続部の第 1 の側から延びたゲートフィンガーの開放端である c 点から、同じゲート接続部の第 2 の側から延びたゲートフィンガーの開放端までの長さ、すなわち、2 本のゲートフィンガーの各長さを合計した長さ ($W_{gu1} \times 2$) である。
- [0029] 図 4 A および図 4 B において、X 方向を入力電力伝送経路の長さとした場合に、ゲート接続部の第 1 の側から延びたゲートフィンガーの開放端である c 点が $X = 0$ であり、同じゲート接続部の第 2 の側から延びたゲートフィンガーの開放端が $X = W_{gu0}$ である。図 4 A の半導体装置において、ソース電極に対向しているゲートフィンガーの部分の長さは W_{gu0} である。また、入力電圧振幅は、ゲートフィンガー内の c 点における RF 入力電圧振幅である。

[0030] 図4 Aに示す半導体装置のトータルフィンガー長 W_{gt} は、 $W_{gt} = W_{gu1} \times 8 = (W_{gu0} / 2) \times 8 = 4W_{gu0}$ であり、図3 Aに示した半導体装置のトータルフィンガー長 W_{gt} ($= 4W_{gu0}$)と同じである。すなわち、実施の形態1に係る半導体装置では、トータルフィンガー長は、従来の半導体装置と同じであるが、個々のゲートフィンガーの長さは、従来の半導体装置のゲートフィンガーの半分の長さである。

[0031] 実施の形態1に係る半導体装置は、従来の半導体装置よりも個々のゲートフィンガーの長さが短い。このため、図4 Bに矢印で示すように、ゲートフィンガー内のRF入力電圧振幅の不均一度合いが従来の半導体装置よりも抑えられ、出力電力密度が向上している。

[0032] 次に、マルチフィンガートランジスタにおける入力電力伝送経路の長さとの関係をシミュレーションした結果について説明する。

図5は、半導体装置の電極構造の計算モデルの例を示す図であって、シミュレーションソフトとして、“Advanced Design System (Keysight Technologies)”を用いている。

[0033] 図5の上段図に示したマルチフィンガートランジスタの電極構造のうち、1本のゲートフィンガー101-1、これに隣接する1本のドレイン電極102-1および1本のソース電極103-1を含む破線で囲んだ部分200aが、図5の下段図に示した計算モデル200で表現される。一方、実施の形態1に係る半導体装置では、図1に示したゲートフィンガー2-1, 2-2、これらの両方に隣接するドレイン電極3-1およびゲートフィンガー2-1, 2-2に個々に隣接するソース電極4-1, 4-2を含む部分が、計算モデル200で表現される。

[0034] 計算モデル200のベースモデルである大信号モデル201には、Angelov-GaNモデルを用いている。計算モデル200は、1本のゲートフィンガーあたり、8個のAngelov-GaNモデルを、寄生抵抗を模擬した R_{gi} および R_{di} とインダクタンス成分を模擬した L_{gi} および L_{di} ($i = 1 \sim 8$)とでそれぞれ接続した分布型モデルである。計算モデル200は

、1本のゲートフィンガーを8分割したモデルで表すことで、ゲートフィンガー内でのRF入力電圧振幅の分布を計算することが可能である。

[0035] 図6は、半導体装置における、入力電力伝送経路の長さとの関係のシミュレーション結果を示すグラフである。図5で説明した計算モデル200を用いて、従来の半導体装置と実施の形態1に係る半導体装置とにおける、入力電力伝送経路の長さとの関係をシミュレーションした結果を示している。

[0036] 入力電力伝送経路の長さについて、実施の形態1に係る半導体装置は、図4Bで説明した長さと同じである。すなわち、ゲート接続部の第1の側から延びたゲートフィンガーの開放端であるc点が $X=0$ であり、同じゲート接続部の第2の側から延びたゲートフィンガーの開放端が $X=W_{gu0}$ である。一方、従来の半導体装置では、シミュレーションの関係上、図3Bで説明した長さの設定と逆の関係になっており、ゲートフィンガーのb点が $X=W_{gu0}$ であり、当該ゲートフィンガーにおけるソース電極に対向している部分の根元側の端点が $X=0$ である。

[0037] 従来の半導体装置についてのシミュレーション結果300では、図3Aに示したゲートフィンガーにおけるソース電極に対向している部分の根元側の端点に近い部分、すなわち $X=0$ に近い部分でRF入力電圧振幅が落ち込んでおり、RF入力電圧振幅がゲートフィンガー内で不均一になっている。

[0038] これに対して、実施の形態1に係る半導体装置についてのシミュレーション結果301では、図4Bで示したc点($X=0$)に近い部分においてもRF入力電圧振幅の低下が抑制されている。このように、実施の形態1に係る半導体装置は、ゲートフィンガー内のRF入力電圧振幅の不均一度合いが従来の半導体装置よりも抑えられるので、出力電力密度が向上する。

[0039] 以上のように、実施の形態1に係る半導体装置は、図1に示す電極構造を有するので、トータルフィンガー長が同じである従来の半導体装置に比べて、個々のゲートフィンガーの長さが短い。これにより、ゲートフィンガー内のRF入力電圧振幅が均一化されて出力電力密度の低下を抑制できる。

[0040] 実施の形態 2.

図 7 は、実施の形態 2 に係る半導体装置を、図 1 の a - a 線と同じ位置で切った断面を示す断面矢示図である。図 7 において、図 1 および図 2 と同一の構成要素には同一の符号を付して説明を省略する。実施の形態 2 に係る半導体装置は、図 7 に示すように、ソース電極 4 - 5, 4 - 6 のそれぞれの下層に金属層 1 1 が設けられている。なお、他のソース電極 4 - 1 ~ 4 - 4 のそれぞれの下層にも金属層 1 1 が設けられる。

[0041] 金属層 1 1 は、Au などの金属メッキで形成されるソース電極 4 - 1 ~ 4 - 6 の下層に形成され、スパッタ収率が小さくかつエッチングガスとの間で不揮発性物質を形成する材料で構成されている。上記材料としては、例えば、Cr、Cu、Ni および Al などがある。このように構成された金属層 1 1 は、ソース電極 4 - 1 ~ 4 - 6 よりもエッチングがされにくい、すなわちエッチング強度が高い層である。

[0042] 半導体プロセスを用いて半導体装置の電極構造が半導体層 1 上に形成された後、ビア 5 を形成する工程で半導体層 1 および基板 9 がエッチングされる。ソース電極は、例えば、Au のメッキで形成されているので、半導体層 1 と基板 9 とのエッチングが行われると、このエッチングによってソース電極が除去されてソース電極としての機能が失われる可能性がある。ソース電極としての機能がエッチングによって失われないように、ソース電極の厚み t_s を厚くした場合、図 2 を用いて前述したように、ゲートエアブリッジとの間に形成される容量 C_{pgs} が増大して当該半導体装置の高周波特性が劣化する。

[0043] これに対して、実施の形態 2 に係る半導体装置は、ソース電極 4 - 1 ~ 4 - 6 の下層に金属層 1 1 を備えている。金属層 1 1 は、ソース電極に比べてエッチング強度が高いことから、ソース電極 4 - 6 がエッチングされても、その下層に残る。残った金属層 1 1 は、ソース電極 4 - 6 として機能するので、ビア 5 を形成するためのエッチングが行われてもソース電極 4 - 6 の機能は維持される。

[0044] 以上のように、実施の形態2に係る半導体装置は、ソース電極4-1~4-6の各々の下層に設けられた金属層11を備えている。ソース電極の厚み t_s を薄く保っても、金属層11によってソース電極の機能が維持される。これにより、容量 C_{pgs} の増大が抑制され、半導体装置の高周波特性の劣化が抑制される。

[0045] 実施の形態3.

図8は、実施の形態3に係る半導体装置の構成例を示す上面図である。図9は、図8の半導体装置をd-d線で切った断面を示す断面矢示図である。図8および図9において、図1および図2と同一の構成要素には同一の符号を付して説明を省略する。実施の形態3に係る半導体装置は、マルチフィンガートランジスタであり、半導体層1、ゲートフィンガー2-1~2-8、ゲート接続部2a-1~2a-3、ドレイン電極3a-1, 3b-1, 3a-2, 3b-2、ソース電極4-1~4-6、ビア5、ゲート引き回し線路6、ドレイン引き回し線路7、ゲートエアブリッジ8-1~8-3、基板9、接地層10、抵抗12-1, 12-2およびドレインエアブリッジ13-1, 13-2を備える。

[0046] ドレイン電極3a-1は、ゲート接続部2a-1, 2a-2の第1の側に延びたゲートフィンガー2-1, 2-3に隣接し、ドレイン電極3b-1は、ゲート接続部2a-1, 2a-2の第2の側に延びたゲートフィンガー2-2, 2-4に隣接している。同様に、ドレイン電極3a-2は、ゲート接続部2a-2, 2a-3の第1の側に延びたゲートフィンガー2-5, 2-7に隣接し、ドレイン電極3b-2は、ゲート接続部2a-2, 2a-3の第2の側に延びたゲートフィンガー2-6, 2-8に隣接している。すなわち、実施の形態3に係る半導体装置が備えるドレイン電極は、ゲート接続部の第1の側に延びたゲートフィンガーと当該ゲート接続部の第2の側に延びたゲートフィンガーとに個々に隣接する2つの部分に分割されている。

[0047] 抵抗12-1は、半導体層1上に形成され、ゲート接続部2a-1とゲート接続部2a-2との間に接続されたアイソレーション抵抗である。抵抗1

2-2は、半導体層1上に形成され、ゲート接続部2a-2とゲート接続部2a-3との間に接続されたアイソレーション抵抗である。ドレインエアブリッジ13-1は、抵抗12-1を跨いで、ドレイン電極3a-1とドレイン電極3b-1とを接続する第1のドレインエアブリッジである。ドレインエアブリッジ13-2は、抵抗12-2を跨いで、ドレイン電極3a-2とドレイン電極3b-2とを接続する第1のドレインエアブリッジである。

[0048] 以上のように、実施の形態3に係る半導体装置において、抵抗12-1が、ゲート接続部2a-1とゲート接続部2a-2との間と、ゲートフィンガー2-1、2-2とゲートフィンガー2-3、2-4との間におけるアイソレーションを確保し、抵抗12-2が、ゲート接続部2a-2とゲート接続部2a-3との間と、ゲートフィンガー2-5、2-6とゲートフィンガー2-7、2-8との間におけるアイソレーションを確保する。これにより、実施の形態3に係る半導体装置では、内部のループ発振を抑制することが可能である。

[0049] 実施の形態4.

図10は、実施の形態4に係る半導体装置の構成例を示す上面図である。図11は、図10の半導体装置をe-e線で切った断面を示す断面矢示図である。図10および図11において、図1および図2と同一の構成要素には、同一の符号を付して説明を省略する。実施の形態4に係る半導体装置は、マルチフィンガートランジスタであり、半導体層1、ゲートフィンガー2-1~2-8、ゲート接続部2a-1~2a-3、ドレイン電極3c-1、3c-2、ソース電極4-1~4-6、ビア5、ゲート引き回し線路6、ドレイン引き回し線路7、ゲートエアブリッジ8-1~8-3、基板9、接地層10およびドレインエアブリッジ14-1、14-2を備える。

[0050] ドレイン電極3c-1は、図10に示すように、ゲート接続部2a-1から延びたゲートフィンガー2-1とゲートフィンガー2-2との両方に隣接し、ゲート接続部2a-2から延びたゲートフィンガー2-3とゲートフィンガー2-4との両方に隣接している。ドレイン電極3c-1は、半導体層

1上でドレイン引き回し線路7aと直接接続しておらず、ドレインエアブリッジ14-1を介してドレイン引き回し線路7aと接続している。

[0051] ドレイン電極3c-2は、ゲート接続部2a-2から延びたゲートフィンガー2-5とゲートフィンガー2-6との両方に隣接し、ゲート接続部2a-3から延びたゲートフィンガー2-7とゲートフィンガー2-8との両方に隣接している。ドレイン電極3c-2は、図10および図11に示すように、半導体層1上でドレイン引き回し線路7aと直接接続しておらず、ドレインエアブリッジ14-2を介してドレイン引き回し線路7aと接続している。

[0052] ドレインエアブリッジ14-1は、図10に示すように、ドレイン電極3c-1におけるゲート接続部2a-1およびゲート接続部2a-2に隣接する部分400aと、ドレイン引き回し線路7aとの間を接続する第2のドレインエアブリッジである。ドレインエアブリッジ14-2は、ドレイン電極3c-2におけるゲート接続部2a-2およびゲート接続部2a-3に隣接する部分400bと、ドレイン引き回し線路7aとの間を接続する第2のドレインエアブリッジである。

[0053] 以上のように、実施の形態4に係る半導体装置では、ゲートエアブリッジ8-1~8-3を介して、ゲート接続部2a-1~2a-3に入力電力が伝送され、ドレインエアブリッジ14-1, 14-2を介して、ドレイン電極3c-1, 3c-2におけるゲート接続部に隣接した部分400a, 400bから、出力電力がドレイン引き回し線路7aに伝送される。これにより、入力電力の伝送経路と出力電力の伝送経路とが略対称となるので、出力電力密度がさらに向上する。

[0054] 実施の形態5.

図12は、実施の形態5に係る半導体装置の構成例を示す上面図である。図13は、図12の半導体装置をf-f線で切った断面を示す断面矢示図である。図12および図13において、図1および図2と同一の構成要素には、同一の符号を付して説明を省略する。実施の形態5に係る半導体装置は、

マルチフィンガートランジスタであり、半導体層1、ゲートフィンガー2-1~2-8、ゲート接続部2a-1~2a-3、ドレイン電極3-1, 3-2、ソース電極4-1~4-6、ビア5、ゲート引き回し線路6、ドレイン引き回し線路7、ゲートエアブリッジ8-1~8-3、基板9、接地層10および絶縁膜15を備える。

[0055] 絶縁膜15は、ゲートエアブリッジ8-1~8-3の下方に設けられ、ゲートエアブリッジとソース電極との間の容量 C_{pgs} が増大しないように誘電率が低い絶縁材料で構成される。なお、絶縁膜15は、少なくともゲートエアブリッジの下方にあればよいので、図12および13に示すように、ゲートエアブリッジ8-1~8-3が上方にないソース電極4-1, 4-3, 4-5上に設けてもよい。

[0056] 以上のように、実施の形態5に係る半導体装置は、ゲートエアブリッジ8-1~8-3の下方に設けられた絶縁膜15を備える。絶縁膜15によって、ゲートエアブリッジ8-1~8-3を、ソース電極4-2, 4-4, 4-6に接触しないように安定的に形成することができる。なお、図12は、図1および図2に示した実施の形態1に係る半導体装置に絶縁膜15を設けた構成を示したが、絶縁膜15は、実施の形態2から実施の形態4のそれぞれで示した半導体装置が備えてもよい。この場合においても、上記と同様の効果が得られる。

[0057] これまでの説明では、ゲートフィンガーの本数が8本のマルチフィンガートランジスタを示したが、これは一例である。すなわち、実施の形態1から実施の形態5までの半導体装置は、いずれも、複数(2本以上)のゲートフィンガーを有したマルチフィンガートランジスタであればよい。

[0058] なお、本発明は上記実施の形態に限定されるものではなく、本発明の範囲内において、実施の形態のそれぞれの自由な組み合わせまたは実施の形態のそれぞれの任意の構成要素の変形もしくは実施の形態のそれぞれにおいて任意の構成要素の省略が可能である。

産業上の利用可能性

[0059] 本発明に係る半導体装置は、出力電力密度の低下を抑制できるので、例えば、高周波増幅器に利用可能である。

符号の説明

[0060] 1 半導体層、2-1~2-8 ゲートフィンガー、2a-1~2a-3 ゲート接続部、3-1, 3-2, 3a-1, 3a-2, 3b-1, 3b-2, 3c-1, 3c-2 ドレイン電極、4-1~4-6 ソース電極、5 ビア、6, 105 ゲート引き回し線路、7, 7a, 106 ドレイン引き回し線路、8-1~8-3 ゲートエアブリッジ、9 基板、10 接地層、11 金属層、12-1, 12-2 抵抗、13-1, 13-2, 14-1, 14-2 ドレインエアブリッジ、15 絶縁膜、100 半導体層、101-1~101-4 ゲートフィンガー、102-1, 102-2 ドレイン電極、103-1~103-3 ソース電極、104 ビア、200 計算モデル、200a, 400a, 400b 部分、201 大信号モデル、300, 301 シミュレーション結果。

請求の範囲

- [請求項1] 基板上に設けられた半導体層と、
前記半導体層上に設けられたゲート接続部と、
前記ゲート接続部の両側から対称的に延びた複数のゲートフィンガーと、
前記ゲート接続部の第1の側に延びた前記ゲートフィンガーと当該ゲート接続部の前記第1の側とは反対の第2の側に延びた前記ゲートフィンガーとの両方に隣接するドレイン電極と、
前記ゲート接続部の前記第1の側に延びた前記ゲートフィンガーと当該ゲート接続部の前記第2の側に延びた前記ゲートフィンガーとに個々に隣接する複数のソース電極と、
前記ゲートフィンガーに入力する電力が伝送されるゲート引き回し線路と、
前記ゲート接続部の前記第2の側に延びた前記ゲートフィンガーに隣接している前記ソース電極を跨いで、前記ゲート接続部と前記ゲート引き回し線路とを接続するゲートエアブリッジと、
を備えたことを特徴とする半導体装置。
- [請求項2] 前記ソース電極の下層に設けられ、当該ソース電極よりもエッチング強度が高い金属層を備えたことを特徴とする請求項1記載の半導体装置。
- [請求項3] 複数の前記ゲート接続部が、前記半導体層上で一直線状に並列配置され、
隣り合った前記ゲート接続部間に設けられたアイソレーション抵抗を備え、
前記ドレイン電極は、前記ゲート接続部の前記第1の側に延びた前記ゲートフィンガーと、当該ゲート接続部の前記第2の側に延びた前記ゲートフィンガーとに個々に隣接する2つの部分に分割されており、

前記2つの部分は、前記アイソレーション抵抗を跨いだ第1のドレインエアブリッジによって互いに接続されていること

を特徴とする請求項1記載の半導体装置。

[請求項4] 前記ドレイン電極から出力された電力が伝送されるドレイン引き回し線路と、

前記ドレイン電極における前記ゲート接続部に隣接する部分と前記ドレイン引き回し線路とを接続する第2のドレインエアブリッジと、

を備えたことを特徴とする請求項1記載の半導体装置。

[請求項5] 前記ゲートエアブリッジの下方に設けられた絶縁膜を備えたことを特徴とする請求項1記載の半導体装置。

要 約 書

ゲート接続部（ $2a-1 \sim 2a-3$ ）の両側から対称的に延びた複数のゲートフィンガー（ $2-1 \sim 2-8$ ）と、ゲート接続部（ $2a-1 \sim 2a-3$ ）の両側から延びたゲートフィンガー（ $2-1 \sim 2-8$ ）の両方に隣接しているドレイン電極（ $3-1$ ， $3-2$ ）と、ゲート接続部（ $2a-1 \sim 2a-3$ ）の両側から延びたゲートフィンガー（ $2-1 \sim 2-8$ ）に個々に隣接している複数のソース電極（ $4-1 \sim 4-6$ ）とを備え、ゲートエアブリッジ（ $8-1 \sim 8-3$ ）が、ソース電極（ $4-2$ ， $4-4$ ， $4-6$ ）を跨いでゲート接続部（ $2a-1 \sim 2a-3$ ）とゲート引き回し線路（ 6 ）とを接続している。

[図3]

図3A

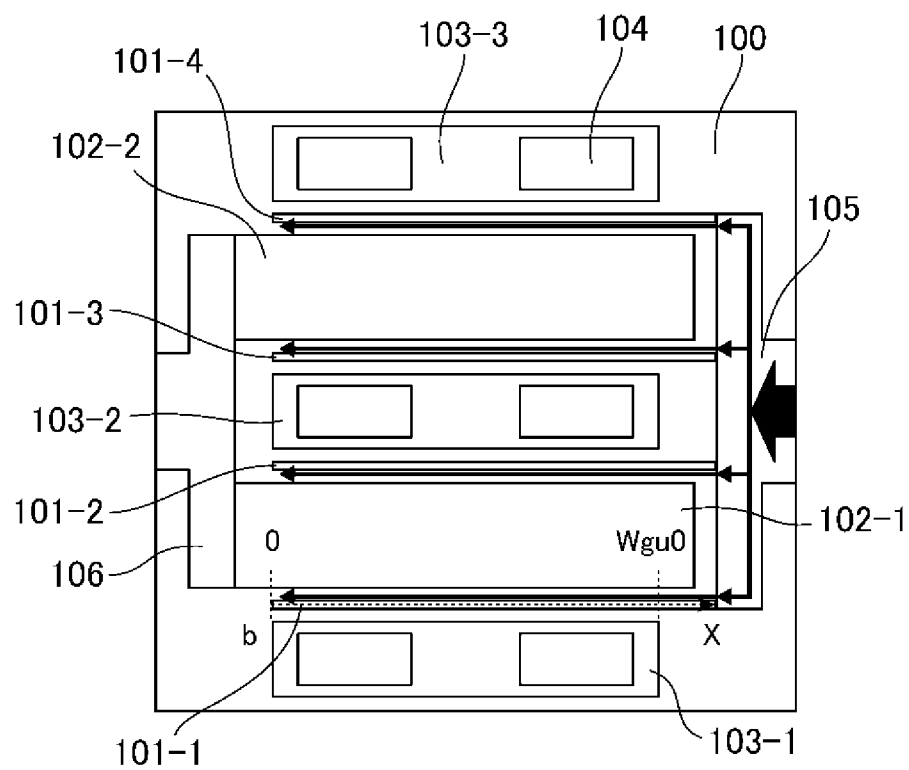
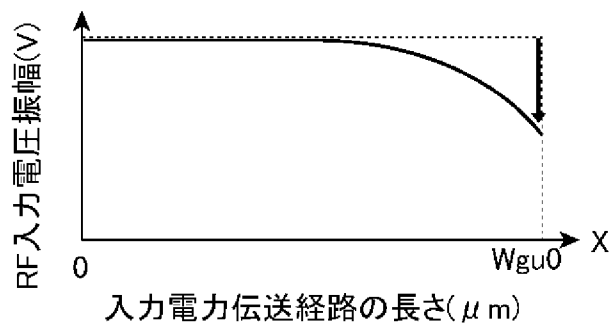


図3B



[図4]

図4A

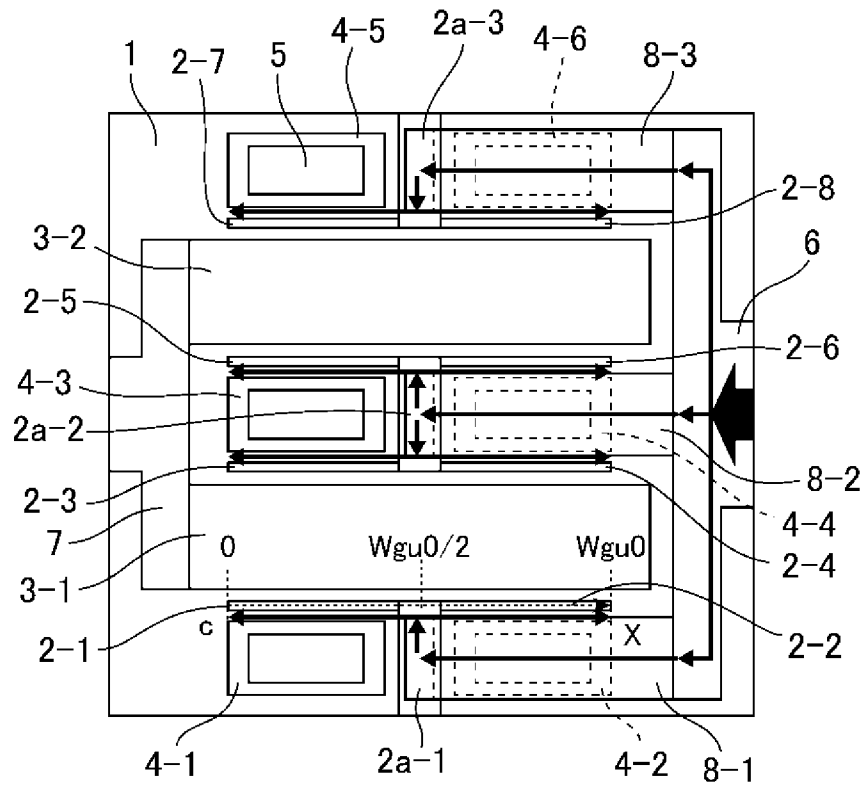
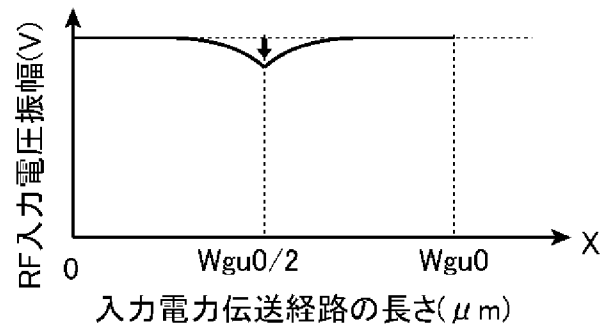
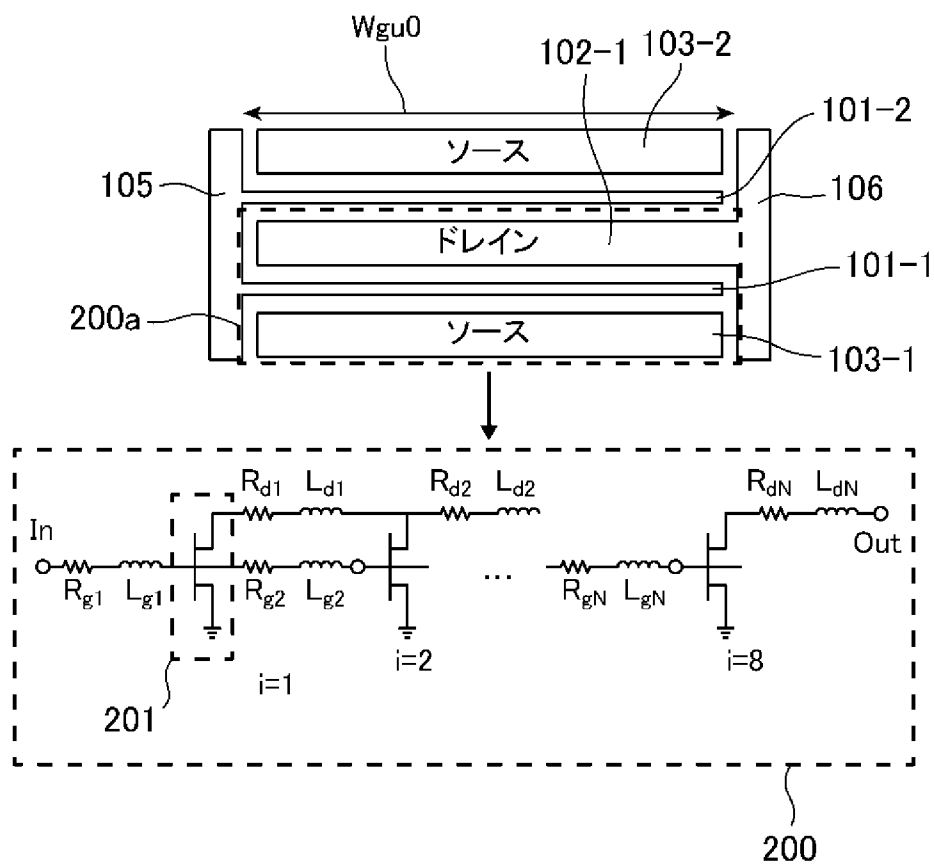


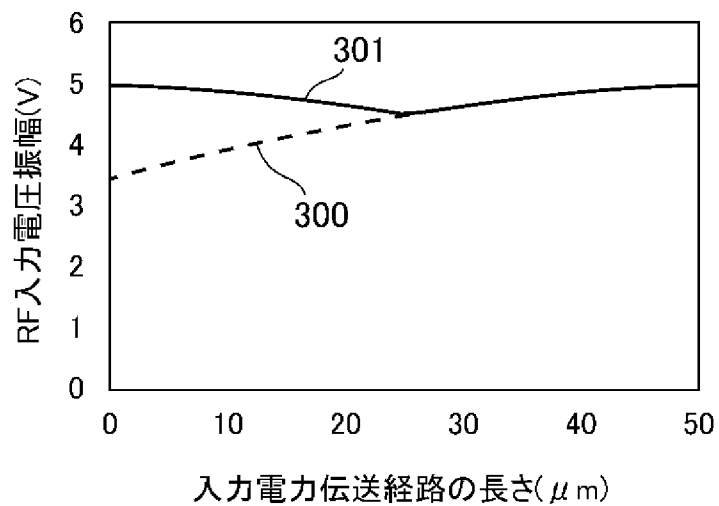
図4B



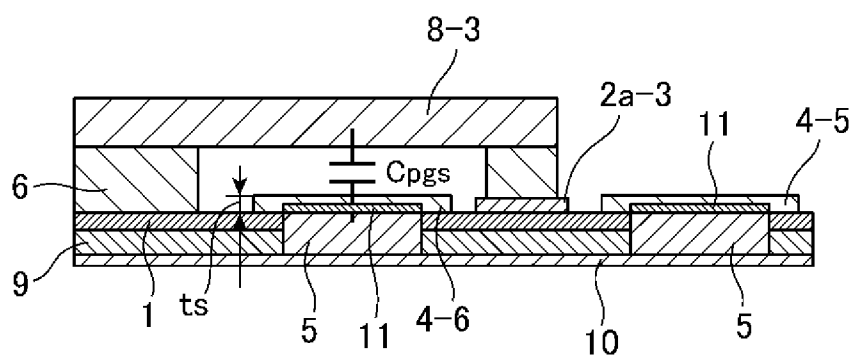
[図5]



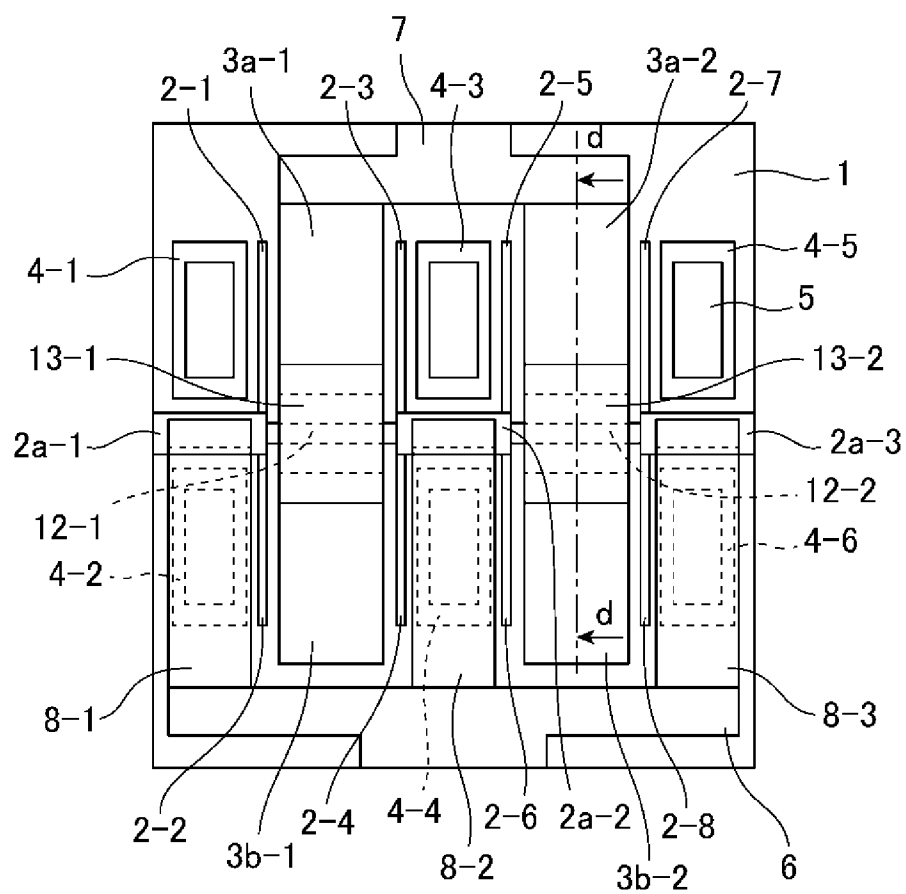
[図6]



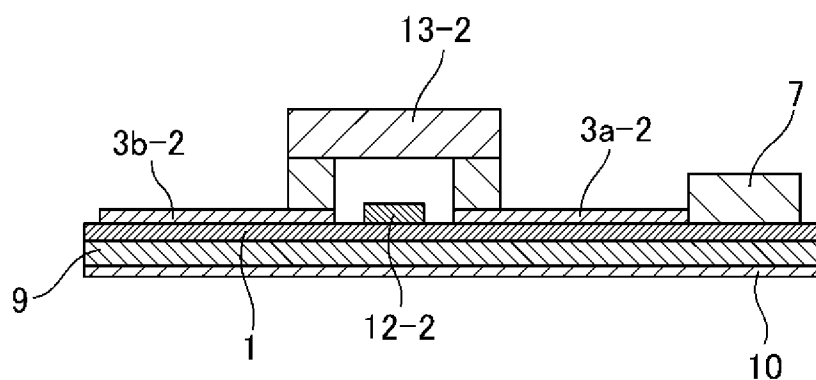
[圖7]



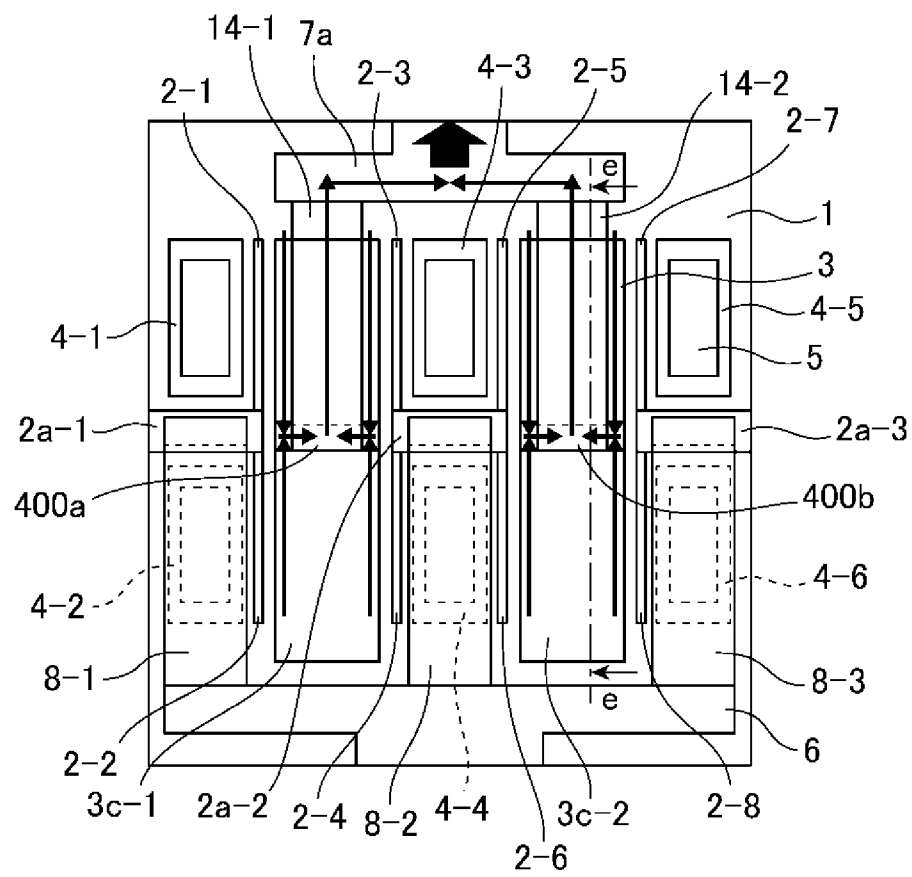
[圖8]



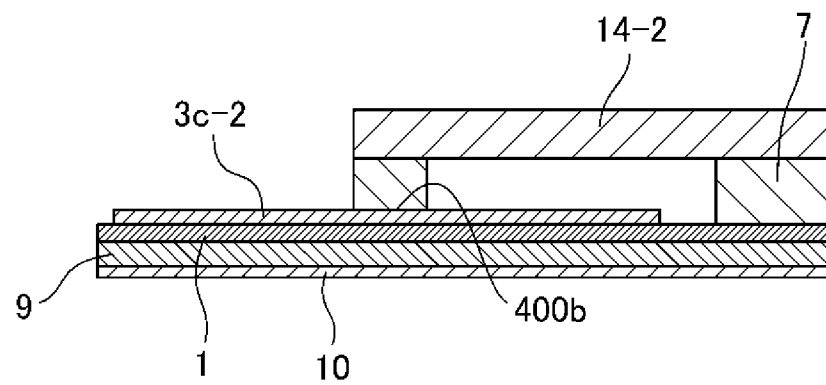
[圖9]



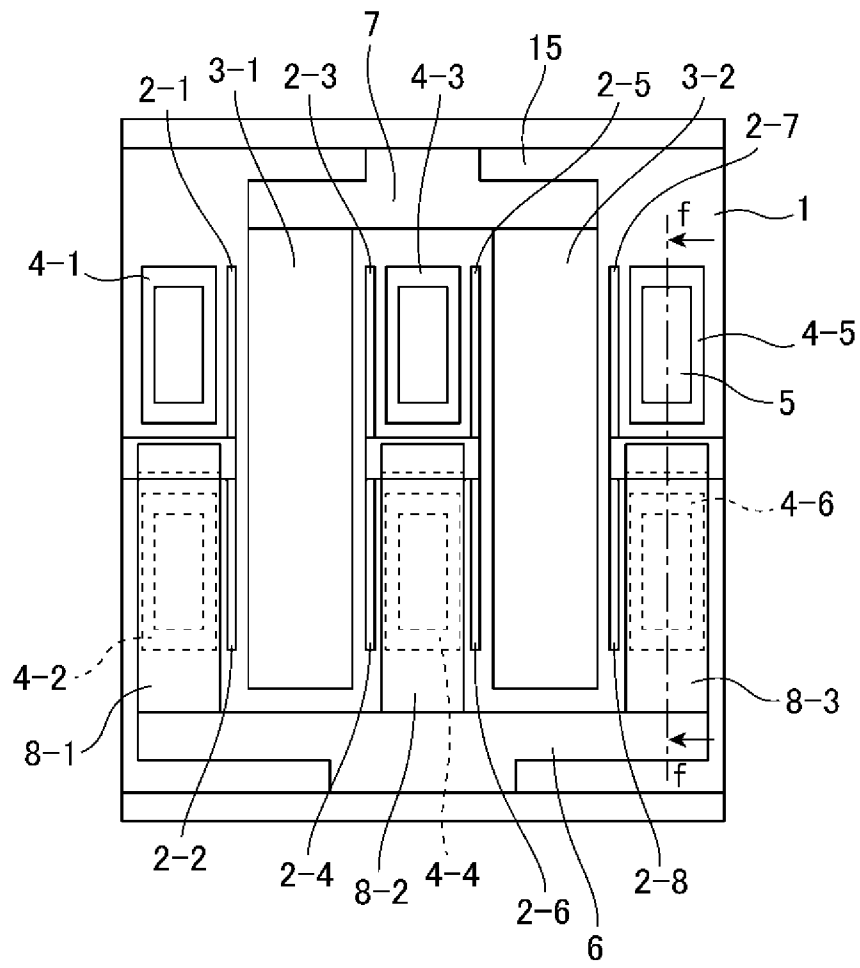
[図10]



[図11]



[図12]



[図13]

