

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2020年6月4日(04.06.2020)



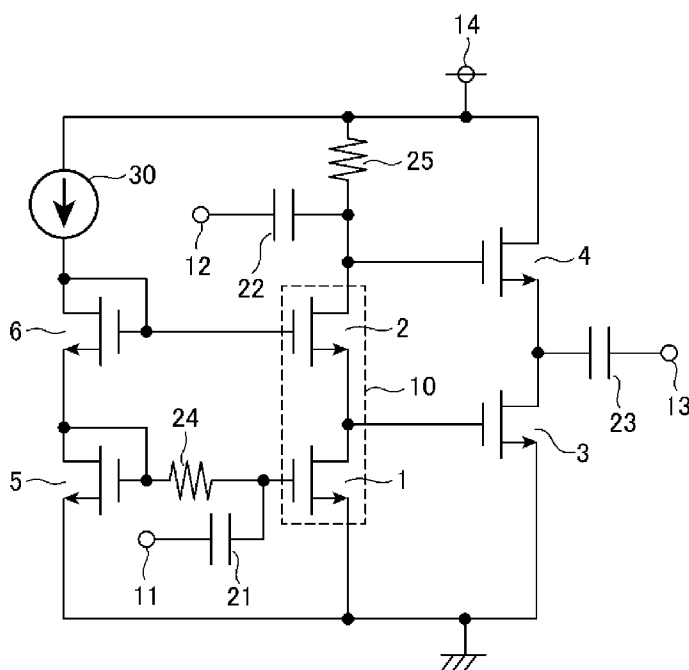
(10) 国際公開番号

WO 2020/110252 A1

- (51) 国際特許分類:  
*H03F 3/345* (2006.01)    *H03F 3/45* (2006.01)  
*H03F 1/22* (2006.01)
- (21) 国際出願番号:                    PCT/JP2018/043943
- (22) 国際出願日:                    2018年11月29日(29.11.2018)
- (25) 国際出願の言語:                    日本語
- (26) 国際公開の言語:                    日本語
- (71) 出願人:三菱電機株式会社(MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).
- (72) 発明者:萩原 達也 (HAGIWARA, Tatsuya); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 藤原 孝信 (FUJIWARA, Takanobu); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 津留 正臣(TSURU, Masaomi); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).
- (74) 代理人:田澤 英昭, 外(TAZAWA, Hideaki et al.); 〒1000014 東京都千代田区永田町二丁目12番4号 赤坂山王センタービル5階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,

(54) Title: ACTIVE CIRCULATOR

(54) 発明の名称: アクティブサーキュレータ



(57) Abstract: A bias current supply (30) connects a gate terminal of a second source ground transistor (3) to a drain terminal of a first source ground transistor (1), the bias current supply (30) outputting a bias current so that the mutual conductance of a first bias transistor (5) is fixed, and supplying the bias current to a cascode amplifier 10 and to a cascode current mirror circuit.

(57) 要約: バイアス電流源 (30) が、第二のソース接地トランジスタ (3) のゲート端子を、第一のソース接地トランジスタ (1) のドレイン端子に接続し、第一のバイアス用トランジスタ (5) の相互コンダクタンスが一定になるようにバイアス電流を出力して、カスコード増幅器 (10) とカスコードカレントミラー回路にバイアス電流を供給する。

[続葉有]



WO 2020/110252 A1

KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,  
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,  
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,  
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,  
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,  
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保  
護が可能): ARIPO (BW, GH, GM, KE, LR, LS,  
MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,  
ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ,  
TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,  
DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,  
LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,  
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,  
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告 (条約第21条(3))

## 明 細 書

発明の名称：アクティブサーキュレータ

### 技術分野

[0001] 本発明は、アクティブサーキュレータに関する。

### 背景技術

[0002] 例えば、非特許文献1に記載される従来のアクティブサーキュレータは、第一のソース接地トランジスタの入力ゲートを第一のポートとし、カスコード増幅器の出力ドレイン端子とソースフォロワの入力ゲート端子が接続された点を第二のポートとし、ソースフォロワの出力ソース端子と第二のソース接地トランジスタの出力ドレイン端子が接続された点を第三のポートとしている。当該アクティブサーキュレータにおいて、第一のポートから入力された信号は、第二のポートに出力され、第二のポートから入力された信号は、第三のポートから出力される。第一のポートから入力された信号は、カスコード増幅器およびソースフォロワを通過する信号と、第一のソース接地トランジスタおよび第二のソース接地トランジスタを通過する信号とが逆位相で合成されるため、第三のポートからは出力されない。

### 先行技術文献

#### 非特許文献

[0003] 非特許文献1: Ding-Jie Huang et al, "A 24-GHz Low Power and High Isolation Active Quasi-Circulator" IEEE/MTT-S International Microwave Symposium Digest, 2012

### 発明の概要

#### 発明が解決しようとする課題

[0004] 従来のアクティブサーキュレータは、温度変化またはサーキュレータの製造ばらつきによって第一のソース接地トランジスタと第二のソース接地トラ

ンジスタの相互コンダクタンスが変動すると、第一のポートから第三のポートに至る2つの経路の信号の振幅または位相が変化し、第三のポートで合成される信号は等振幅および逆位相の条件から外れる。このため、第一のポートから入力された信号が第三のポートからリークして、ポート間のアイソレーション特性が劣化するという課題があった。

[0005] 本発明は上記課題を解決するものであって、ポート間のアイソレーション特性の劣化が抑制されたアクティブサーキュレータを得ることを目的とする。

### 課題を解決するための手段

[0006] 本発明に係るアクティブサーキュレータは、第一のソース接地トランジスタとゲート接地トランジスタとを有し、第一のソース接地トランジスタのドレイン端子とゲート接地トランジスタのソース端子とが接続されて構成されたカスコード増幅器と、ゲート接地トランジスタのドレイン端子とゲート端子が接続されたトランジスタであるソースフォロワと、第一のソース接地トランジスタのドレイン端子にゲート端子が接続され、ソースフォロワのソース端子にドレイン端子が接続された第二のソース接地トランジスタと、第一のソース接地トランジスタのゲート端子に設けられた、信号の入出力端子である第一のポートと、ゲート接地トランジスタのドレイン端子とソースフォロワのゲート端子が接続された点に設けられた、信号の入出力端子である第二のポートと、ソースフォロワのソース端子と第二のソース接地トランジスタのドレイン端子が接続された点に設けられた、信号の入出力端子である第三のポートと、第一のソース接地トランジスタとゲート端子同士が接続された第一のバイアス用トランジスタと、ゲート接地トランジスタとゲート端子同士が接続され、第一のバイアス用トランジスタのドレイン端子とソース端子が接続された第二のバイアス用トランジスタと、第一のバイアス用トランジスタの相互コンダクタンスが一定になるようにバイアス電流を出力して、第一のバイアス用トランジスタ、第二のバイアス用トランジスタおよびカスコード増幅器にバイアス電流を供給するバイアス電流源を備える。

## 発明の効果

[0007] 本発明によれば、第二のソース接地トランジスタのゲート端子を、第一のソース接地トランジスタのドレイン端子に接続し、バイアス電流源が、第一のバイアス用トランジスタの相互コンダクタンスが一定になるようにバイアス電流を出力して、第一のバイアス用トランジスタ、第二のバイアス用トランジスタおよびカスコード増幅器に当該バイアス電流を供給する。これによって、第一のソース接地トランジスタと第二のソース接地トランジスタの相互コンダクタンスの変動が動的に補償されるので、温度変化またはサーキュレータの製造ばらつきによるポート間のアイソレーション特性の劣化が抑制されたアクティブサーキュレータを実現することができる。

## 図面の簡単な説明

[0008] [図1]実施の形態1に係るアクティブサーキュレータの構成例を示す回路図である。

[図2]実施の形態1に係るアクティブサーキュレータの変形例の構成を示す回路図である。

[図3]実施の形態2に係るアクティブサーキュレータの構成例を示す回路図である。

## 発明を実施するための形態

[0009] 実施の形態1.

図1は、実施の形態1に係るアクティブサーキュレータの構成例を示す回路図である。図1に示すアクティブサーキュレータは、第一のソース接地トランジスタ1、ゲート接地トランジスタ2、第二のソース接地トランジスタ3、ソースフォロワ4、第一のバイアス用トランジスタ5、第二のバイアス用トランジスタ6、入出力端子11~13、電源端子14、DCカット容量21~23、バイアス抵抗24、負荷抵抗25およびバイアス電流源30を備える。

[0010] 第一のソース接地トランジスタ1は、ソース端子が接地され、ドレイン端子が、ゲート接地トランジスタ2のソース端子と、第二のソース接地トラン

ジスタ 3 のゲート端子との両方に接続され、ゲート端子が、バイアス抵抗 24 を介して、第一のバイアス用トランジスタ 5 のゲート端子と接続されている。ゲート接地トランジスタ 2 は、ドレイン端子が、ソースフォロワ 4 のゲート端子に接続され、ゲート端子が、第二のバイアス用トランジスタ 6 のゲート端子と接続されている。また、ゲート接地トランジスタ 2 は、ドレイン端子が、負荷抵抗 25 を介して電源端子 14 と接続されている。図 1 に破線で示すカスコード増幅器 10 は、第一のソース接地トランジスタ 1 とゲート接地トランジスタ 2 から構成される。なお、第一のソース接地トランジスタ 1 のドレイン端子と第二のソース接地トランジスタ 3 のゲート端子との間は、直流成分を除去するための DC カット容量を介在させずに直結されている。

[0011] 第二のソース接地トランジスタ 3 は、ソース端子が接地され、ドレイン端子が、ソースフォロワ 4 のソース端子と接続され、ゲート端子が、第一のソース接地トランジスタのドレイン端子と接続されている。ソースフォロワ 4 は、電界効果トランジスタで構成され、ソース端子が、第二のソース接地トランジスタ 3 のドレイン端子に接続され、ドレイン端子が、電源端子 14 に接続され、ゲート端子が、ゲート接地トランジスタ 2 のドレイン端子に接続されている。

[0012] 入出力端子 11 は、DC カット容量 21 を介して、第一のソース接地トランジスタ 1 のゲート端子と接続された第一のポートである。入出力端子 12 は、DC カット容量 22 を介して、ゲート接地トランジスタ 2 のドレイン端子とソースフォロワ 4 のゲート端子とが接続された点に接続された第二のポートである。入出力端子 13 は、DC カット容量 23 を介して、ソースフォロワ 4 のソース端子と第二のソース接地トランジスタ 3 のドレイン端子とが接続された点に接続された第三のポートである。カスコード増幅器 10 は、第一のポートに入力された信号を第二のポートから出力する。ソースフォロワ 4 は、第二のポートに入力された信号を第三のポートから出力する。

[0013] 第一のバイアス用トランジスタ 5 は、ソース端子が接地され、ゲート端子

が、バイアス抵抗 24 を介して、第一のソース接地トランジスタ 1 のゲート端子と接続され、ドレイン端子およびゲート端子が、第二のバイアス用トランジスタ 6 のソース端子と接続されている。第二のバイアス用トランジスタ 6 は、ソース端子が、第一のバイアス用トランジスタ 5 のドレイン端子およびゲート端子と接続され、ゲート端子が、ゲート接地トランジスタ 2 のゲート端子と接続され、ドレイン端子およびゲート端子が、バイアス電流源 30 と接続されている。第一のバイアス用トランジスタ 5 と第二のバイアス用トランジスタ 6 は、カスコード増幅器 10 に対するカスコードカレントミラー回路を構成する。

[0014] バイアス電流源 30 は、電源端子 14 に接続され、第二のバイアス用トランジスタ 6 のドレイン端子およびゲート端子にバイアス電流を出力する。これにより、バイアス電流源 30 から出力されたバイアス電流は、第一のバイアス用トランジスタ 5、第二のバイアス用トランジスタ 6 およびカスコード増幅器 10 に供給される。また、バイアス電流源 30 は、温度変化またはサーキュレータの製造ばらつきに対して第一のバイアス用トランジスタ 5 の相互コンダクタンス（以下、 $g_m$ と記載する）が一定となるようにバイアス電流を出力する。

[0015] 次に動作について説明する。

第一のポート（入出力端子 11）から入力された信号は、DC カット容量 21 を介してカスコード増幅器 10 に入力されると、ゲート接地トランジスタ 2 のドレイン端子から、DC カット容量 22 を介して第二のポート（入出力端子 12）に出力される。

第二のポートに入力された信号は、DC カット容量 22 を介して、ソースフォロワ 4 のゲート端子に入力され、ソースフォロワ 4 のソース端子から、DC カット容量 23 を介して第三のポート（入出力端子 13）に出力される。

なお、第一のポートから入力された信号が通過する経路として、カスコード増幅器 10 から出力された後にソースフォロワ 4 を通過する経路と、第一

のソース接地トランジスタ 1 のドレイン端子から第二のソース接地トランジスタ 3 を通過する経路とがあるが、これらの経路を通過する信号は逆位相で合成されるので、第三のポートからは出力されない。

[0016] バイアス電流源 30 から出力されたバイアス電流は、第一のバイアス用トランジスタ 5 および第二のバイアス用トランジスタ 6 に対するカレントミラー回路を構成するカスコード増幅器 10 に供給される。図 1 に示すアクティブサーキュレータにおいて、第一のソース接地トランジスタ 1 と第一のバイアス用トランジスタ 5 とのカレントミラー比（トランジスタサイズ比）が 1 : 1 であり、ゲート接地トランジスタ 2 と第二のバイアス用トランジスタ 6 とのカレントミラー比が 1 : 1 であるので、基準電流とゲート接地トランジスタ 2 のドレイン電流とが等しい。このとき、第二のバイアス用トランジスタ 6 とゲート接地トランジスタ 2 のソース電位も等しくなって、第一のバイアス用トランジスタ 5 および第二のソース接地トランジスタ 3 の互いのゲート電圧および  $g_m$  が等しくなる。さらに、第一のソース接地トランジスタ 1 と第二のソース接地トランジスタ 3 のトランジスタサイズ比が 1 : 1 であるため、第一のソース接地トランジスタ 1 と第二のソース接地トランジスタ 3 の  $g_m$  が等しい。

[0017] バイアス電流源 30 は、温度変化またはサーキュレータの製造ばらつきに対して第一のバイアス用トランジスタ 5 の  $g_m$  が一定になるようにバイアス電流を供給するので、第一のソース接地トランジスタ 1 および第二のソース接地トランジスタ 3 の  $g_m$  が温度変化またはサーキュレータの製造ばらつきに対して一定になる。これにより、温度変化またはサーキュレータの製造ばらつきがあっても、第一のソース接地トランジスタ 1 および第二のソース接地トランジスタ 3 を通過する信号の振幅と位相の変動が小さくなり、第一のポートと第三のポートとの間のアイソレーション特性の劣化が抑制される。また、第一のソース接地トランジスタ 1 のドレイン端子と第二のソース接地トランジスタ 3 のゲート端子との間に DC カット容量を接続する必要がないため、DC カット容量のばらつきによるアイソレーション特性の劣化も発生



しない。

[0018] また、実施の形態 1 に係るアクティブサーキュレータは、第一のバイアス用トランジスタ 5 と第一のソース接地トランジスタ 1 と第二のソース接地トランジスタ 3 とのサイズ比を  $1 : 1 : 1$  とし、第二のバイアス用トランジスタ 6 とゲート接地トランジスタ 2 と第二のソース接地トランジスタ 3 とのサイズ比を  $1 : 1 : 1$  としてもよい。また、第一のバイアス用トランジスタ 5 と第一のソース接地トランジスタ 1 と第二のソース接地トランジスタ 3 とのサイズ比を  $1 : M : N$  とし、第二のバイアス用トランジスタ 6 とゲート接地トランジスタ 2 と第二のソース接地トランジスタ 3 とのサイズ比を  $1 : M : N$  としてもよい。ただし、 $M$  および  $N$  は 2 以上の自然数である。このように構成することで、バイアス電流源 30 から出力されたバイアス電流が、第一のソース接地トランジスタ 1 および第二のソース接地トランジスタ 3 に対してサイズ比に応じたバイアス電流として印加される。第二のソース接地トランジスタ 3 のサイズを変更することで、第三のポートにおいてソースフォロワ 4 の出力信号と合成される信号の振幅が調整され、より高いアイソレーションを確保することができる。

[0019] 図 2 は、実施の形態 1 に係るアクティブサーキュレータの変形例の構成を示す回路図である。図 2 に示すアクティブサーキュレータは、図 1 に示した構成のうち、バイアス電流源 30 を、破線で囲んだ回路構成を有したバイアス電流源 40 に置き換えたものである。バイアス電流源 40 は、バイアス用トランジスタ 41 ~ 46、カレントミラー用トランジスタ 47 およびバイアス抵抗 48 を備え、温度変化またはサーキュレータの製造ばらつきに対してバイアス用トランジスタ 46 の  $g_m$  が一定になるバイアス電流を出力する。

[0020] バイアス用トランジスタ 41 は、ソース端子が接地された第一のトランジスタである。バイアス用トランジスタ 42 は、ゲート端子が、バイアス用トランジスタ 41 のゲート端子と接続され、ソース端子が、バイアス抵抗 48 を介して接地された第二のトランジスタである。バイアス用トランジスタ 43 は、ソース端子が、バイアス用トランジスタ 41 のゲート端子とドレイン

端子の両方と接続された第三のトランジスタである。バイアス用トランジスタ44は、ゲート端子が、バイアス用トランジスタ43のゲート端子と接続され、ソース端子が、バイアス用トランジスタ42のドレイン端子と接続された第四のトランジスタである。バイアス用トランジスタ45は、ソース端子が、電源端子14と接続され、ドレイン端子が、バイアス用トランジスタ43のゲート端子とドレイン端子との両方と接続された第五のトランジスタである。バイアス用トランジスタ46は、ソース端子が、電源端子14と接続され、ゲート端子が、バイアス用トランジスタ45のゲート端子と接続され、ドレイン端子およびゲート端子が、バイアス用トランジスタ44のドレイン端子と接続された第六のトランジスタである。

[0021] カレントミラー用トランジスタ47は、ソース端子が、電源端子14と接続され、ゲート端子が、バイアス用トランジスタ46のドレイン端子とゲート端子との両方と接続されている。カレントミラー用トランジスタ47のドレイン端子を介して、バイアス電流が、第二のバイアス用トランジスタ6に供給される。Nを2以上の任意の自然数とした場合、バイアス用トランジスタ41とバイアス用トランジスタ42のサイズ比は1 : Nであり、バイアス用トランジスタ43とバイアス用トランジスタ44のサイズ比は1 : 1であり、バイアス用トランジスタ45とバイアス用トランジスタ46のサイズ比は1 : 1である。

[0022] 上記構成のバイアス電流源40を有することで、温度変化またはサーキュレータの製造ばらつきに対してバイアス用トランジスタ46の $g_m$ を一定にすることができる。これにより、バイアス電流源40からは、第一のバイアス用トランジスタ5の $g_m$ が一定になるバイアス電流を出力されるので、図1に示したアクティブサーキュレータと同様の効果が得られる。

[0023] なお、これまでの説明では、アクティブサーキュレータが備えるトランジスタがMOSトランジスタである場合を示したが、実施の形態1に係るアクティブサーキュレータは、MOSトランジスタをバイポーラトランジスタに置き換えてもよい。

すなわち、図1および図2に示したアクティブサーキュレータを構成するトランジスタを、MOSトランジスタからバイポーラトランジスタに置き換え、ゲート端子をベース端子に、ドレイン端子をコレクタ端子に、ソース端子をエミッタ端子にそれぞれ置き換え、ソースフォロワ4をエミッタフォロワに置き換えても、図1に示したアクティブサーキュレータと同様の効果が得られる。

[0024] 以上のように、実施の形態1に係るアクティブサーキュレータにおいて、第二のソース接地トランジスタ3のゲート端子を、第一のソース接地トランジスタ1のドレイン端子に接続し、バイアス電流源30（または40）が、第一のバイアス用トランジスタ5の $g_m$ が一定になるようにバイアス電流を出力して、第一のバイアス用トランジスタ5、第二のバイアス用トランジスタ6およびカスコード増幅器10に当該バイアス電流を供給する。これによって、第一のソース接地トランジスタ1および第二のソース接地トランジスタ3の $g_m$ の変動が動的に補償されて、温度変化またはサーキュレータの製造ばらつきによるポート間のアイソレーション特性の劣化が抑制されたアクティブサーキュレータを実現することができる。

[0025] 実施の形態2.

図3は、実施の形態2に係るアクティブサーキュレータの構成を示す回路図である。図3に示すアクティブサーキュレータは、図1に示したアクティブサーキュレータを差動構成としたものであり、第一のソース接地トランジスタ1a, 1b、ゲート接地トランジスタ2a, 2b、第二のソース接地トランジスタ3a, 3b、ソースフォロワ4a, 4b、第一のバイアス用トランジスタ5、第二のバイアス用トランジスタ6、入出力端子11a, 11b, 12a, 12b, 13a, 13b、電源端子14、DCカット容量21a, 21b, 22a, 22b, 23a, 23b、バイアス抵抗24a, 24b、負荷抵抗25a, 25b、コモンモード電圧検出回路（以下、CM検出回路と記載する）50、コンパレータ51、参照電圧端子52およびバイアス電流源53を備える。

[0026] 第一のソース接地トランジスタ 1 a は、ソース端子が接地され、ドレイン端子が、ゲート接地トランジスタ 2 a のソース端子と第二のソース接地トランジスタ 3 a のゲート端子との両方と接続され、バイアス抵抗 2 4 a を介して、ゲート端子が、第一のバイアス用トランジスタ 5 のゲート端子と接続されている。ゲート接地トランジスタ 2 a は、ドレイン端子が、ソースフォロワ 4 a のゲート端子に接続され、ゲート端子が、第二のバイアス用トランジスタ 6 のゲート端子と接続されている。また、ゲート接地トランジスタ 2 a は、ドレイン端子が、負荷抵抗 2 5 a を介して電源端子 1 4 と接続されている。

[0027] 同様に、第一のソース接地トランジスタ 1 b は、ソース端子が接地され、ドレイン端子が、ゲート接地トランジスタ 2 b のソース端子と第二のソース接地トランジスタ 3 b のゲート端子との両方と接続され、バイアス抵抗 2 4 b を介して、ゲート端子が、第一のバイアス用トランジスタ 5 のゲート端子と接続されている。ゲート接地トランジスタ 2 b は、ドレイン端子が、ソースフォロワ 4 b のゲート端子に接続され、ゲート端子が、第二のバイアス用トランジスタ 6 のゲート端子と接続されている。また、ゲート接地トランジスタ 2 b は、ドレイン端子が、負荷抵抗 2 5 b を介して電源端子 1 4 と接続されている。

[0028] 図 3 に示すアクティブサーキュレータが備えるカスコード増幅器は、前述したように、第一のソース接地トランジスタ 1 a, 1 b とゲート接地トランジスタ 2 a, 2 b との組み合わせを二組有し、組み合わせのそれぞれで、第一のソース接地トランジスタ 1 a, 1 b のドレイン端子とゲート接地トランジスタ 2 a, 2 b のソース端子とが接続されて構成されている。なお、第一のソース接地トランジスタ 1 a のドレイン端子と第二のソース接地トランジスタ 3 a のゲート端子との間は、直流成分を除去するための DC カット容量を介在させずに直結されており、第一のソース接地トランジスタ 1 b のドレイン端子と第二のソース接地トランジスタ 3 b のゲート端子との間は、直流成分を除去するための DC カット容量を介在させずに直結されている。

[0029] 第二のソース接地トランジスタ 3 a は、ソース端子が接地され、ドレイン端子が、ソースフォロワ 4 a のソース端子と接続され、ゲート端子が、第一のソース接地トランジスタ 1 a のドレイン端子と接続されている。第二のソース接地トランジスタ 3 b は、ソース端子が接地され、ドレイン端子が、ソースフォロワ 4 b のソース端子と接続され、ゲート端子が、第一のソース接地トランジスタ 1 b のドレイン端子と接続されている。

ソースフォロワ 4 a は、ソース端子が、第二のソース接地トランジスタ 3 a のドレイン端子と接続され、ドレイン端子が、電源端子 1 4 と接続され、ゲート端子が、ゲート接地トランジスタ 2 a のドレイン端子と接続されたトランジスタである。ソースフォロワ 4 b は、ソース端子が、第二のソース接地トランジスタ 3 b のドレイン端子と接続され、ドレイン端子が、電源端子 1 4 に接続され、ゲート端子が、ゲート接地トランジスタ 2 b のドレイン端子と接続されたトランジスタである。

[0030] 入出力端子 1 1 a は、DC カット容量 2 1 a を介して、第一のソース接地トランジスタ 1 a のゲート端子と接続される。入出力端子 1 1 b は、DC カット容量 2 1 b を介して、第一のソース接地トランジスタ 1 b のゲート端子と接続される。入出力端子 1 1 a および入出力端子 1 1 b が、差動信号の入出力端子である第一のポートを構成する。

入出力端子 1 2 a は、DC カット容量 2 2 a を介して、ゲート接地トランジスタ 2 a のドレイン端子とソースフォロワ 4 a のゲート端子とが接続された点に接続される。入出力端子 1 2 b は、DC カット容量 2 2 b を介して、ゲート接地トランジスタ 2 b のドレイン端子とソースフォロワ 4 b のゲート端子とが接続された点に接続される。入出力端子 1 2 a および入出力端子 1 2 b が、差動信号の入出力端子である第二のポートを構成する。

入出力端子 1 3 a は、DC カット容量 2 3 a を介して、ソースフォロワ 4 a のソース端子と第二のソース接地トランジスタ 3 a のドレイン端子とが接続された点に接続される。入出力端子 1 3 b は、DC カット容量 2 3 b を介して、ソースフォロワ 4 b のソース端子と第二のソース接地トランジスタ 3

bのドレイン端子とが接続された点に接続される。入出力端子13aおよび入出力端子13bが、差動信号の入出力端子である第三のポートを構成する。カスコード増幅器は、第一のポートに入力された差動信号を第二のポートから出力する。ソースフォロワ4aおよびソースフォロワ4bは、第二のポートに入力された差動信号を第三のポートから出力する。

[0031] 第一のバイアス用トランジスタ5は、ソース端子が接地され、バイアス抵抗24aとバイアス抵抗24bを介して、ゲート端子が、第一のソース接地トランジスタ1aのゲート端子と第一のソース接地トランジスタ1bのゲート端子との両方と接続されており、ドレイン端子およびゲート端子が、第二のバイアス用トランジスタ6のソース端子と接続されている。第二のバイアス用トランジスタ6は、ソース端子が、第一のバイアス用トランジスタ5のドレイン端子とゲート端子との両方と接続され、ゲート端子が、ゲート接地トランジスタ2aのゲート端子とゲート接地トランジスタ2bのゲート端子との両方と接続され、ドレイン端子およびゲート端子が、バイアス電流源53に接続されている。

[0032] CM検出回路50は、第三のポートである入出力端子13a, 13bにおける差動信号のコモンモード電圧を検出する。コンパレータ51は、CM検出回路50によって検出されたコモンモード電圧と参照電圧端子52に印加された参照電圧とを大小比較する。

バイアス電流源53は、電源端子14に接続され、コンパレータ51による比較結果に応じたバイアス電流を第二のバイアス用トランジスタ6のドレイン端子およびゲート端子に出力する。例えば、バイアス電流源53は、CM検出回路50によって検出されたコモンモード電圧と参照電圧端子52に印加された参照電圧とが等しくなるように、バイアス電流値を調整して出力する。コモンモードフィードバックによって、サーキュレータの製造ばらつきで発生するトランジスタのミスマッチなどに起因したコモンモード電圧の変動が抑制され、アイソレーション特性の劣化が補償される。

[0033] なお、これまでの説明では、アクティブサーキュレータが備えるトランジ

スタがMOSトランジスタである場合を示したが、実施の形態2に係るアクティブサーキュレータは、MOSトランジスタをバイポーラトランジスタに置き換えてもよい。

すなわち、図3に示したアクティブサーキュレータを構成するトランジスタを、MOSトランジスタからバイポーラトランジスタに置き換え、ゲート端子をベース端子に、ドレイン端子をコレクタ端子に、ソース端子をエミッタ端子にそれぞれ置き換え、ソースフォロワ4をエミッタフォロワに置き換えても、図3に示したアクティブサーキュレータと同様の効果が得られる。

[0034] 以上のように、実施の形態2に係るアクティブサーキュレータにおいて、第二のソース接地トランジスタ3a, 3bのゲート端子を、第一のソース接地トランジスタ1a, 1bのドレイン端子に接続し、バイアス電流源53が、入出力端子13a, 13bにおける差動信号のコモンモード電圧と参照電圧端子52に印加された参照電圧との比較結果に応じてバイアス電流を調整して、第一のバイアス用トランジスタ5、第二のバイアス用トランジスタ6およびカスコード増幅器に当該バイアス電流を供給する。これにより、コモンモード電圧の変動が抑制され、アイソレーション特性の劣化が補償されたアクティブサーキュレータを実現することができる。

[0035] なお、本発明は上記実施の形態に限定されるものではなく、本発明の範囲内において、実施の形態のそれぞれの自由な組み合わせまたは実施の形態のそれぞれの任意の構成要素の変形もしくは実施の形態のそれぞれにおいて任意の構成要素の省略が可能である。

### 産業上の利用可能性

[0036] 本発明に係るアクティブサーキュレータは、ポート間のアイソレーション特性の劣化が抑制されるので、各種の通信装置に利用可能である。

### 符号の説明

[0037] 1, 1a, 1b 第一のソース接地トランジスタ、2, 2a, 2b ゲート接地トランジスタ、3, 3a, 3b 第二のソース接地トランジスタ、4, 4a, 4b ソースフォロワ、5 第一のバイアス用トランジスタ、6

第二のバイアス用トランジスタ、10 カスコード増幅器、11, 11a, 11b, 12, 12a, 12b, 13, 13a, 13b 入出力端子、14 電源端子、21, 21a, 21b, 22, 22a, 22b, 23, 23a, 23b DCカット容量、24, 24a, 24b バイアス抵抗、25, 25a, 25b 負荷抵抗、30, 40 バイアス電流源、41~46 バイアス用トランジスタ、47 カレントミラー用トランジスタ、48 バイアス抵抗、50 CM検出回路、51 コンパレータ、52 参照電圧端子、53 バイアス電流源。



## 請求の範囲

### [請求項1]

第一のソース接地トランジスタとゲート接地トランジスタとを有し、前記第一のソース接地トランジスタのドレイン端子と前記ゲート接地トランジスタのソース端子とが接続されて構成されたカスコード増幅器と、

前記ゲート接地トランジスタのドレイン端子とゲート端子が接続されたトランジスタであるソースフォロワと、

前記第一のソース接地トランジスタのドレイン端子にゲート端子が接続され、前記ソースフォロワのソース端子にドレイン端子が接続された第二のソース接地トランジスタと、

前記第一のソース接地トランジスタのゲート端子に設けられた信号の入出力端子である第一のポートと、

前記ゲート接地トランジスタのドレイン端子と前記ソースフォロワのゲート端子が接続された点に設けられた信号の入出力端子である第二のポートと、

前記ソースフォロワのソース端子と前記第二のソース接地トランジスタのドレイン端子が接続された点に設けられた信号の入出力端子である第三のポートと、

前記第一のソース接地トランジスタとゲート端子同士が接続された第一のバイアス用トランジスタと、

前記ゲート接地トランジスタとゲート端子同士が接続され、前記第一のバイアス用トランジスタのドレイン端子とソース端子が接続された第二のバイアス用トランジスタと、

前記第一のバイアス用トランジスタの相互コンダクタンスが一定になるようにバイアス電流を出力して、前記第一のバイアス用トランジスタ、前記第二のバイアス用トランジスタおよび前記カスコード増幅器に前記バイアス電流を供給するバイアス電流源と、

を備えたことを特徴とするアクティブサーキュレータ。

[請求項2] 前記第一のバイアス用トランジスタと前記第一のソース接地トランジスタと前記第二のソース接地トランジスタとのサイズ比、および前記第二のバイアス用トランジスタと前記ゲート接地トランジスタと前記第二のソース接地トランジスタとのサイズ比を、それぞれ1 : 1 : 1としたこと

を特徴とする請求項1記載のアクティブサーキュレータ。

[請求項3] MおよびNを2以上の任意の自然数とした場合に、前記第一のバイアス用トランジスタと前記第一のソース接地トランジスタと前記第二のソース接地トランジスタとのサイズ比、および前記第二のバイアス用トランジスタと前記ゲート接地トランジスタと前記第二のソース接地トランジスタとのサイズ比を、それぞれ1 : M : Nとしたこと

を特徴とする請求項1記載のアクティブサーキュレータ。

[請求項4]

前記バイアス電流源は、

ソース端子が接地された第一のトランジスタと、

前記第一のトランジスタとゲート端子同士が接続され、ソース端子がバイアス抵抗を介して接地された第二のトランジスタと、

前記第一のトランジスタのゲート端子およびドレイン端子とソース端子が接続された第三のトランジスタと、

前記第三のトランジスタとゲート端子同士が接続され、前記第二のトランジスタのドレイン端子とソース端子が接続された第四のトランジスタと、

電源端子とソース端子が接続され、前記第四のトランジスタのゲート端子およびドレイン端子とドレイン端子が接続された第五のトランジスタと、

前記電源端子とソース端子が接続され、前記第五のトランジスタとゲート端子同士が接続され、前記第四のトランジスタのドレイン端子とドレイン端子およびゲート端子が接続された第六のトランジスタと

、

前記電源端子とソース端子が接続され、前記第六のトランジスタのドレイン端子およびゲート端子とゲート端子が接続され、ドレイン端子を介して前記第二のバイアス用トランジスタに前記バイアス電流を供給するカレントミラー用トランジスタとを有し、

Nを2以上の任意の自然数とした場合に、前記第一のトランジスタと前記第二のトランジスタとのサイズ比が1 : Nであり、前記第三のトランジスタと前記第四のトランジスタとのサイズ比が1 : 1であり、前記第五のトランジスタと前記第六のトランジスタとのサイズ比を1 : 1であること

を特徴とする請求項1記載のアクティブサーキュレータ。

[請求項5]

第一のソース接地トランジスタとゲート接地トランジスタとの組み合わせを二組有し、前記組み合わせのそれぞれで、前記第一のソース接地トランジスタのドレイン端子と前記ゲート接地トランジスタのソース端子とが接続されて構成されたカスコード増幅器と、

前記組み合わせの前記ゲート接地トランジスタの各ドレイン端子とゲート端子が接続された二つのトランジスタで構成されたソースフォロワと、

前記組み合わせの前記第一のソース接地トランジスタの各ドレイン端子にゲート端子が接続され、前記ソースフォロワの各ソース端子にドレイン端子が接続された二つの第二のソース接地トランジスタと、

前記組み合わせの前記第一のソース接地トランジスタのゲート端子に設けられた差動信号の入出力端子である第一のポートと、

前記組み合わせの前記ゲート接地トランジスタの各ドレイン端子と前記ソースフォロワの各ゲート端子とが接続された点に設けられた差動信号の入出力端子である第二のポートと、

前記ソースフォロワの各ソース端子と二つの前記第二のソース接地トランジスタの各ドレイン端子とが接続された点に設けられた差動信号の入出力端子である第三のポートと、

前記組み合わせの各々の前記第一のソース接地トランジスタとゲート端子同士が接続された第一のバイアス用トランジスタと、

前記組み合わせの各々の前記ゲート接地トランジスタとゲート端子同士が接続され、前記第一のバイアス用トランジスタのドレイン端子とソース端子が接続された第二のバイアス用トランジスタと、

前記第三のポートにおける差動信号のコモンモード電圧を検出するコモンモード電圧検出回路と、

前記コモンモード電圧検出回路によって検出されたコモンモード電圧が一定になるようにバイアス電流を出力して、前記第一のバイアス用トランジスタ、前記第二のバイアス用トランジスタおよび前記カスコード増幅器に前記バイアス電流を供給するバイアス電流源と、

を備えたことを特徴とするアクティブサーキュレータ。

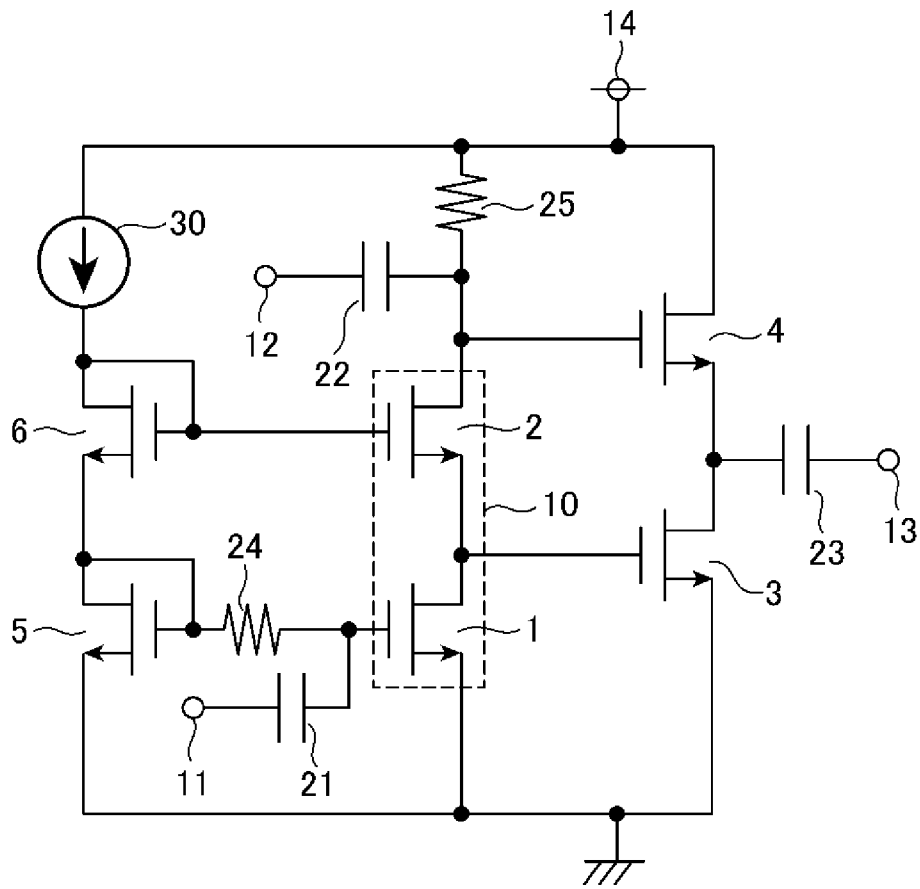
[請求項6]

トランジスタを、バイポーラトランジスタに置き換え、

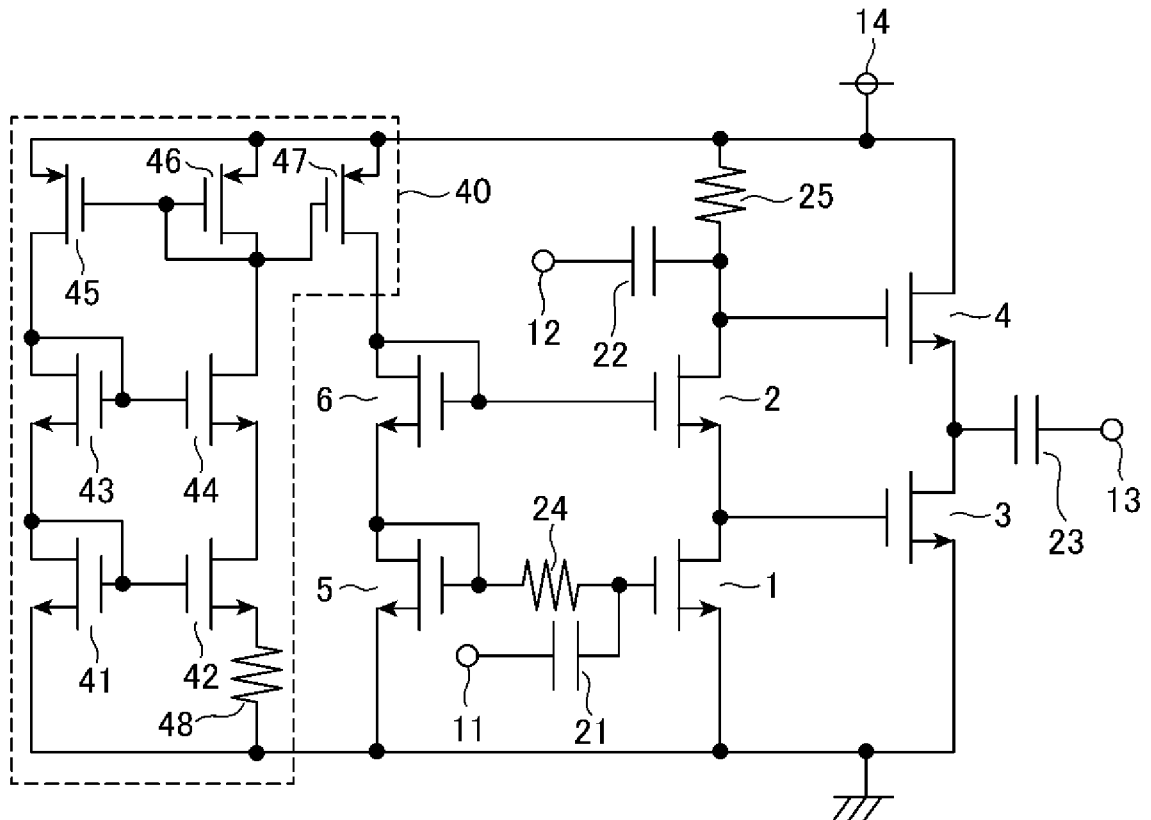
ゲート端子をベース端子に、ドレイン端子をコレクタ端子に、ソース端子をエミッタ端子にそれぞれ置き換えたこと

を特徴とする請求項1から請求項5のいずれか1項記載のアクティブサーキュレータ。

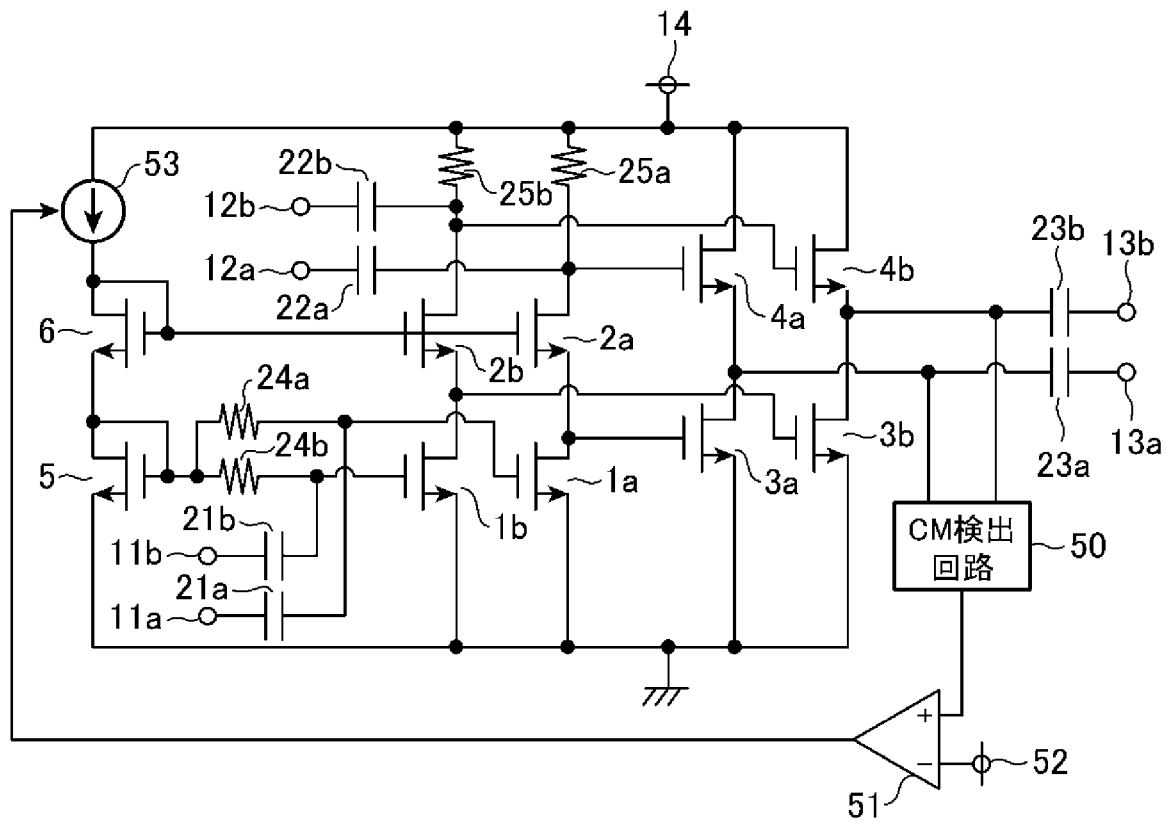
[図1]



[図2]



[図3]



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2018/043943

**A. CLASSIFICATION OF SUBJECT MATTER**

Int.Cl. H03F3/345 (2006.01) i, H03F1/22 (2006.01) i, H03F3/45 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H03F3/345, H03F1/22, H03F3/45

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	HUANG, D. J., "A 24-GHz low power and high isolation active quasi-circulator", 2012 IEEE/MTT-S International Microwave Symposium Digest, 06 August 2012, pp. 1-3	1-4, 6 5
Y A	JP 2009-273073 A (MITSUMI ELECTRIC CO., LTD.) 19 November 2009, paragraphs [0031], [0032], fig. 2 (Family: none)	1-4, 6 5

Further documents are listed in the continuation of Box C.       See patent family annex.

* Special categories of cited documents:	
"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 07.02.2019	Date of mailing of the international search report 19.02.2019
---	--

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer  Telephone No.
--	---

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/043943

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 5-191162 A (HITACHI, LTD.) 30 July 1993, paragraph [0027], fig. 4 & US 5285168 A, column 8, line 48 to column 9, line 5, fig. 4	1-4, 6 5
Y A	RAZAVI, Behzad 著, 黒田忠広訳, アナログ CMOS 集積回路の設計 基礎編, 丸善, 30 March 2003, pp. 173, 174, (Design of analog CMOS integrated circuits, MARUZEN PUBLISHING CO., LTD.), non-official translation (Written by RAZAVI, B., translated by KURODA, Tadahiro, basic section)	2-4, 6 5
Y A	JP 2-18606 A (NEC IC MICROCOMPUT SYST LTD.) 22 January 1990, page 1, lower right column, line 13 to page 2, lower left column, line 18, page 3, upper left column, line 13 to lower right column, line 1, fig. 1 (Family: none)	4, 6 5
A	JP 2005-123716 A (ASAHI KASEI MICRO SYST CO., LTD.) 12 May 2005, paragraphs [0036]-[0038], fig. 6 (Family: none)	5
A	JP 2014-207524 A (MITSUBISHI ELECTRIC CORPORATION) 30 October 2014, paragraphs [0029]-[0031], fig. 7 (Family: none)	5



A. 発明の属する分野の分類（国際特許分類（IPC））  
 Int.Cl. H03F3/345(2006.01)i, H03F1/22(2006.01)i, H03F3/45(2006.01)i

B. 調査を行った分野  
 調査を行った最小限資料（国際特許分類（IPC））  
 Int.Cl. H03F3/345, H03F1/22, H03F3/45

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	HUANG, Ding-jie, "A 24-GHz Low Power and High Isolation Active Quasi-Circulator", 2012 IEEE/MTT-S International Microwave Symposium Digest, 2012.08.06, pp.1-3	1-4, 6 5
Y A	JP 2009-273073 A（三菱電機株式会社）2009.11.19, 段落[0031]-[0032], 図2 （ファミリーなし）	1-4, 6 5

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日  
 07.02.2019

国際調査報告の発送日  
 19.02.2019

国際調査機関の名称及びあて先  
 日本国特許庁（ISA/J P）  
 郵便番号100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員） 及川 尚人	5W	5888
電話番号 03-3581-1101 内線	3576	

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 5-191162 A (株式会社日立製作所) 1993. 07. 30, 段落[0027], 図 4 & US 5285168 A, 第 8 欄第 48 行-第 9 欄第 5 行, 図 4	1-4, 6 5
Y A	RAZAVI, Behzad 著, 黒田忠広訳, アナログ CMOS 集積回路の設計 基礎編, 丸善, 2003. 03. 30, pp. 173-174	2-4, 6 5
Y A	JP 2-18606 A (日本電気アイシーマイコンシステム株式会社) 1990. 01. 22, 第 1 頁右下欄第 13 行-第 2 頁左下欄第 18 行, 第 3 頁左 上欄第 13 行-第 3 頁右下欄第 1 行, 第 1 図 (ファミリーなし)	4, 6 5
A	JP 2005-123716 A (旭化成マイクロシステム株式会社) 2005. 05. 12, 段落[0036]-[0038], 図 6 (ファミリーなし)	5
A	JP 2014-207524 A (三菱電機株式会社) 2014. 10. 30, 段落[0029]-[0031], 図 7 (ファミリーなし)	5