

特許協力条約

発信人 日本国特許庁（国際調査機関）

代理人 田澤 英昭 様		PCT 国際調査機関の見解書 (法施行規則第40条の2) [PCT規則43の2.1]	
あて名 〒100-0014 日本国東京都千代田区永田町二丁目12番4号 赤坂山王センタービル5階		発送日 (日.月.年) 19.02.2019	
出願人又は代理人 の書類記号 665057W001		今後の手続については、下記2を参照すること。	
国際出願番号 PCT/JP2018/043943	国際出願日 (日.月.年) 29.11.2018	優先日 (日.月.年)	
国際特許分類 (IPC) Int.Cl. H03F3/345(2006.01)i, H03F1/22(2006.01)i, H03F3/45(2006.01)i			
出願人 (氏名又は名称) 三菱電機株式会社			

<p>1. この見解書は次の内容を含む。</p> <ul style="list-style-type: none"><input checked="" type="checkbox"/> 第I欄 見解の基礎<input type="checkbox"/> 第II欄 優先権<input type="checkbox"/> 第III欄 新規性、進歩性又は産業上の利用可能性についての見解の不作成<input type="checkbox"/> 第IV欄 発明の単一性の欠如<input checked="" type="checkbox"/> 第V欄 PCT規則43の2.1(a)(i)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明<input type="checkbox"/> 第VI欄 ある種の引用文献<input type="checkbox"/> 第VII欄 国際出願の欠陥<input type="checkbox"/> 第VIII欄 国際出願についての意見 <p>2. 今後の手続</p> <p>国際予備審査の請求がされた場合は、出願人がこの国際調査機関とは異なる国際予備審査機関を選択し、かつ、その国際予備審査機関がPCT規則66.1の2(b)の規定に基づいて国際調査機関の見解書を国際予備審査機関の見解書とみなさない旨を国際事務局に通知していた場合を除いて、この見解書は国際予備審査機関の最初の見解書とみなされる。</p> <p>この見解書が上記のように国際予備審査機関の見解書とみなされる場合、様式PCT/ISA/220を送付した日から3月又は優先日から2月のうちいずれか遅く満了する期限が経過するまでに、出願人は国際予備審査機関に、適当な場合は補正書とともに、答弁書を提出することができる。</p> <p>さらなる選択肢は、様式PCT/ISA/220を参照すること。</p>

見解書を作成した日 07.02.2019			
名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 及川 尚人	5W 5888
		電話番号 03-3581-1101 内線 3576	

第 I 欄 見解の基礎

1. 言語に関し、この見解書は以下のものに基づき作成した。
 - 出願時の言語による国際出願
 - 出願時の言語から国際調査のための言語である _____ 語に翻訳された、この国際出願の翻訳文 (PCT規則12.3(a)及び23.1(b))
2. この見解書は、PCT規則 91 の規定により国際調査機関が許可した又は国際調査機関に通知された明らかな誤りの訂正を考慮して作成した (PCT規則 43 の 2.1(b))。
3. この国際出願で開示されたヌクレオチド又はアミノ酸配列に関して、以下の配列表に基づき見解書を作成した。
 - a. 出願時における国際出願の一部を構成する配列表
 - 附属書C/ST.25テキストファイル形式
 - 紙形式又はイメージファイル形式
 - b. 国際出願とともに、PCT規則13の3.1(a)に基づき国際調査のためにのみ提出された、附属書C/ST.25テキストファイル形式の配列表
 - c. 国際出願日後に、国際調査のためにのみ提出された配列表
 - 附属書C/ST.25テキストファイル形式(PCT規則13の3.1(a))
 - 紙形式又はイメージファイル形式(PCT規則13の3.1(b)及びPCT実施細則第713号)
4. さらに、複数の版の配列表又は配列表の写しが提出され、変更後の配列表又は追加の写しに記載された情報が、出願時における配列表と同一である旨、又は出願時における国際出願の開示の範囲を超えない旨の陳述書の提出があった。
5. 補足意見：

第V欄 新規性、進歩性又は産業上の利用可能性についてのPCT規則43の2.1(a)(i)に定める見解、それを裏付ける文献及び説明

1. 見解

新規性 (N)	請求項	1-6	有
	請求項		無
進歩性 (I S)	請求項	5	有
	請求項	1-4, 6	無
産業上の利用可能性 (I A)	請求項	1-6	有
	請求項		無

2. 文献及び説明

文献1 : HUANG, Ding-jie, "A 24-GHz Low Power and High Isolation Active Quasi-Circulator", 2012 IEEE/MTT-S International Microwave Symposium Digest, 2012.08.06, pp.1-3

文献2 : JP 2009-273073 A (ミツミ電機株式会社) 2009.11.19, 段落[0031]-[0032], 図2 (ファミリーなし)

文献3 : JP 5-191162 A (株式会社日立製作所) 1993.07.30, 段落[0027], 図4 & US 5285168 A, 第8欄第48行-第9欄第5行, 図4

文献4 : RAZAVI, Behzad 著, 黒田忠広訳, アナログCMOS集積回路の設計 基礎編, 丸善, 2003.03.30, pp.173-174

文献5 : JP 2-18606 A (日本電気アイシーマイコンシステム株式会社) 1990.01.22, 第1頁右下欄第13行-第2頁左下欄第18行, 第3頁左上欄第13行-第3頁右下欄第1行, 第1図 (ファミリーなし)

文献6 : JP 2005-123716 A (旭化成マイクロシステム株式会社) 2005.05.12, 段落[0036]-[0038], 図6 (ファミリーなし)

文献7 : JP 2014-207524 A (三菱電機株式会社) 2014.10.30, 段落[0029]-[0031], 図7 (ファミリーなし)

(補充欄に続く)

補充欄

いずれかの欄の大きさが足りない場合

第 V 欄の続き

〔請求項 1〕

本願の請求項 1 に係る発明は、国際調査報告で引用された文献 1 - 3 から進歩性を有しない。

文献 1 には、第一のソース接地トランジスタ (common-source transistor M1 が相当する。) とゲート接地トランジスタ (common-gate transistor M2 が相当する。) とを有し、第一のソース接地トランジスタのドレイン端子とゲート接地トランジスタのソース端子とが接続されて構成されたカスコード増幅器 (common-source transistor M1 と common-gate transistor M2 のカスコード段が相当する。) と、ゲート接地トランジスタのドレイン端子とゲート端子が接続されたトランジスタであるソースフォロワ (source follower M4 が相当する。) と、第一のソース接地トランジスタのドレイン端子にゲート端子が接続され、ソースフォロワのソース端子にドレイン端子が接続された第二のソース接地トランジスタ (common-source transistor M3 が相当する。) と、第一のソース接地トランジスタのゲート端子に設けられた信号の入出力端子である第一のポート (port 1 が相当する。) と、ゲート接地トランジスタのドレイン端子とソースフォロワのゲート端子が接続された点に設けられた信号の入出力端子である第二のポート (port 2 が相当する。) と、ソースフォロワのソース端子と第二のソース接地トランジスタのドレイン端子が接続された点に設けられた信号の入出力端子である第三のポート (port 3 が相当する。) と、第一のソース接地トランジスタのゲート端子と接続された第 1 バイアス (V_{g1}) と、ゲート接地トランジスタのゲート端子と接続された第 2 バイアス (V_{g2}) を備えたことを特徴とするアクティブサーキュレータ (active quasi-circulator が相当する。) が記載されている (特に第 1 頁左欄第 35 行-第 2 頁左欄第 11 行, 図 2 を参照されたい)。

ここで、カスコード段にバイアスを供給する構成として、定電流源に接続された 2 段のダイオード接続トランジスタは周知技術 (必要に応じて、文献 2 の特に段落 [0031]-[0032], 図 2、文献 3 の特に段落 [0031]-[0032], 図 2 を参照されたい。) であるから、文献 1 に記載された発明において、第 1 バイアス及び第 2 バイアスに電圧を供給する回路として当該周知技術を採用して付加し、第一のソース接地トランジスタとゲート端子同士が接続された第一のバイアス用トランジスタと、ゲート接地トランジスタとゲート端子同士が接続され、第一のバイアス用トランジスタのドレイン端子とソース端子が接続された第二のバイアス用トランジスタと、一定になるバイアス電流を出力して、第一のバイアス用トランジスタ、第二のバイアス用トランジスタおよびカスコード増幅器にバイアス電流を供給するバイアス電流源と、を備えて本願の請求項 1 の発明とすることは、当業者が容易になし得たものである (なお、定電流によって駆動された第一のバイアス用トランジスタの相互コンダクタンスが一定になることは、当業者にとって自明な事項である)。

(次の補充欄に続く)

補充欄

いずれかの欄の大きさが足りない場合

第 V 欄の続き

〔請求項 2-3〕

本願の請求項 2-3 に係る発明は、国際調査報告で引用された文献 1-4 から進歩性を有しない。

カスコード回路において、ソース接地回路及びゲート接地回路でそれぞれトランジスタサイズ比を一定にすること及び所望の電流とするようサイズ比を設計することは慣用技術（必要に応じて、文献 4 の特に第 173 頁第 1 行-第 174 頁第 5 行、図 5.9c を参照されたい。）であり、文献 1 に記載された発明において、当該慣用技術を適用して本願の請求項 2-3 の発明とすることは、当業者が容易になし得たものである。

〔請求項 4〕

本願の請求項 4 に係る発明は、国際調査報告で引用された文献 1-5 から進歩性を有しない。

文献 5 には、安定した定電流回路の態様として、ソース端子が接地された第一のトランジスタ（FETQ4 が対応する。）と、第一のトランジスタとゲート端子同士が接続され、ソース端子がバイアス抵抗（抵抗 R1 が対応する。）を介して接地（ V_{SS} が対応する。）された第二のトランジスタ（FETQ1 が対応する。）と、第一のトランジスタのゲート端子およびドレイン端子とソース端子が接続された第三のトランジスタ（FETQ6 が対応する。）と、第三のトランジスタとゲート端子同士が接続され、第二のトランジスタのドレイン端子とソース端子が接続された第四のトランジスタ（FETQ5 が対応する。）と、電源端子（ V_{DD} が対応する。）とソース端子が接続され、第三のトランジスタのゲート端子およびドレイン端子とドレイン端子が接続された第五のトランジスタ（FETQ3 が対応する。）と、電源端子とソース端子が接続され、第五のトランジスタとゲート端子同士が接続され、第四のトランジスタのドレイン端子とドレイン端子およびゲート端子が接続された第六のトランジスタ（FETQ2 が対応する。）と、を有することが記載されている（なお、カレントミラー用トランジスタは、文献 2-3 の周知技術に示されている。）。

さらに文献 5 には、第一～第六のトランジスタのサイズについて、関係式（式（1）及び式（2））が示されている。

してみれば、文献 1 に記載された発明において、安定した定電流を得るために、バイアス電流源の態様として文献 5 に記載された発明を適用し、N を 2 以上の任意の自然数とした場合に、第一のトランジスタと第二のトランジスタとのサイズ比が 1 : N であり、第三のトランジスタと第四のトランジスタとのサイズ比が 1 : 1 であり、第五のトランジスタと第六のトランジスタとのサイズ比を 1 : 1 であるように設計し、本願の請求項 4 の発明とすることは、当業者が容易になし得たものである。

（なお、本願の請求項 4 の「電源端子とソース端子が接続され、前記第四のトランジスタのゲート端子およびドレイン端子とドレイン端子が接続された第五のトランジスタ」は、明細書と図 2 との対応関係からして、「電源端子とソース端子が接続され、前記第三のトランジスタのゲート端子およびドレイン端子とドレイン端子が接続された第五のトランジスタ」の誤記であると認められる。）

（次の補充欄に続く）

補充欄

いずれかの欄の大きさが足りない場合

第 V 欄の続き

〔請求項 5〕

本願の請求項 5 に係る発明は、国際調査報告で引用された文献 1-7 に対して新規性及び進歩性を有する。

国際調査報告で引用された文献 1-7 のいずれにも、「第一のソース接地トランジスタとゲート接地トランジスタとの組み合わせを二組有し、前記組み合わせのそれぞれで、前記第一のソース接地トランジスタのドレイン端子と前記ゲート接地トランジスタのソース端子とが接続されて構成されたカスコード増幅器と、前記組み合わせの前記ゲート接地トランジスタの各ドレイン端子とゲート端子が接続された二つのトランジスタで構成されたソースフォロワと、前記組み合わせの前記第一のソース接地トランジスタの各ドレイン端子にゲート端子が接続され、前記ソースフォロワの各ソース端子にドレイン端子が接続された二つの第二のソース接地トランジスタと、前記組み合わせの前記第一のソース接地トランジスタのゲート端子に設けられた差動信号の入出力端子である第一のポートと、前記組み合わせの前記ゲート接地トランジスタの各ドレイン端子と前記ソースフォロワの各ゲート端子とが接続された点に設けられた差動信号の入出力端子である第二のポートと、前記ソースフォロワの各ソース端子と二つの前記第二のソース接地トランジスタの各ドレイン端子とが接続された点に設けられた差動信号の入出力端子である第三のポートと、前記組み合わせの各々の前記第一のソース接地トランジスタとゲート端子同士が接続された第一のバイアス用トランジスタと、前記組み合わせの各々の前記ゲート接地トランジスタとゲート端子同士が接続され、前記第一のバイアス用トランジスタのドレイン端子とソース端子が接続された第二のバイアス用トランジスタと、前記第三のポートにおける差動信号のコモンモード電圧を検出するコモンモード電圧検出回路と、前記コモンモード電圧検出回路によって検出されたコモンモード電圧が一定になるようにバイアス電流を出力して、前記第一のバイアス用トランジスタ、前記第二のバイアス用トランジスタおよび前記カスコード増幅器に前記バイアス電流を供給するバイアス電流源と、を備えたことを特徴とするアクティブサーキュレータ」は、記載されておらず、当業者にとって自明な事項でもない。

〔請求項 6〕

本願の請求項 6 に係る発明は、国際調査報告で引用された文献 1-5 から進歩性を有しない。

トランジスタの態様について、MOS トランジスタからバイポーラトランジスタに置き換えることは、当業者にとって格別に困難なことではない。