

电平移位电路和集成电路芯片

技术领域

5 本公开涉及集成电路领域，尤其涉及一种电平移位电路和集成电路芯片。

背景技术

10 在数模混合集成电路设计中，通常会使用电平移位电路（Level Shifter）将来自低电压域的数字模块的控制信号转换成高电压域的控制信号，以用于控制高电压域的模拟模块，并实现不同功能配置或者性能调整。通常，电平移位电路的低电压域部分使用低耐受电压场效应晶体管（MOS），高压部分使用与高电压源相适应的高耐受电压 MOS。比如，实现控制信号电压从 0.9V 低压到 3.3V 高压转换的电平移位电路，低电压域使用耐受电压为 0.9V 的 MOS，高电压域使用耐
15 受电压为 3.3V 的 MOS。

片上系统（SOC，System on chip）设计中会使用不同的知识产权模块（IP），不同的 IP 需要在统一选定的工艺下进行生产。例如，如果某 SOC 芯片选择 0.9V 的核心（Core）以及 1.8V 的输入输出（IO，Input-Output）器件，而该 SOC 芯片使用的某 IP 需要在 3.3V 电压条件下工作，则从数字核心部分发出的用于控制该 IP 的控制信号，就
20 需要通过电平移位电路实现信号电压从 0.9V 到 3.3V 的转换；该电平移位电路低电压部分使用耐受电压为 0.9V 的器件，但是高电压部分必须使用耐受电压为 1.8V 的器件；耐受电压为 1.8V 的 MOS 工作在 3.3V 电压下，需要特殊设计以避免耐受电压为 1.8V 的 MOS 的过压风险，否则，过压会严重影响器件及整个芯片的可靠性。
25

如图 1 所示，传统的电平移位电路采用外部偏压 BIASP/BIASN 钳位内部节点电压避免器件过压；如此，不仅需要依赖外部电路产生 BIASP/BIASN 钳位电压，并且输出电压会随工艺角（Process corner）变化，且输出节点为高阻状态；为避免栅极（gate）和衬底（Body）
30 电压（V_{gb}）、漏极（Drain）和衬底电压（V_{db}）过压，各 MOS 的衬

底和源极需要连接，从而各 MOS 不能采用共阱 (Well) 设计，因此面积较大；同时在电平移位电路上电过程中仍然存在 MOS 过压问题。

因此，如何在不依赖外部偏压情况下，避免电平移位电路中 MOS 的过压风险，并且输出电压不受工艺角影响，是亟待解决的问题。

5

发明内容

本公开实施例提供了一种电平移位电路，所述电路包括：第一 P 沟道场效应晶体管 (PMOS)、第二 PMOS、第一 N 沟道场效应晶体管 (NMOS)、第二 NMOS、第一分压电路、第二分压电路、第三分压电路、第四分压电路、第五分压电路和第六分压电路，其中，所述第一 PMOS 的源极和衬底连接电源，所述第二 PMOS 的源极和衬底连接电源，所述第一 NMOS 的源极和衬底接地，所述第二 NMOS 的源极和衬底接地，并且其中，所述第一 PMOS 源极和漏极间连接所述第一分压电路，所述第二 PMOS 源极和漏极间连接所述第二分压电路；所述第一 PMOS 的漏极连接所述第二 PMOS 的栅极，并经过所述第三分压电路与第一 NMOS 的漏极间连接，所述第二 PMOS 的漏极连接所述第一 PMOS 的栅极，并经过所述第四分压电路与所述第二 NMOS 的漏极间连接；所述第一 NMOS 源极和漏极间连接所述第五分压电路，所述第二 NMOS 源极和漏极间连接所述第六分压电路；以及所述第一分压电路、第二分压电路、第三分压电路、第四分压电路、第五分压电路和第六分压电路设置为控制所述第一 PMOS、第二 PMOS、第一 NMOS 和第二 NMOS 的电压不超出预设值。

20

本公开实施例还提供了一种集成电路芯片，所述集成电路芯片包括上面所述的电平移位电路。

25

附图说明

图 1 为一种电平移位电路的组成结构示意图。

图 2 为根据本公开实施例的电平移位电路的组成结构示意图。

图 3 为根据本公开实施例的以二极管接法 MOS 的级联结构作为分压电路的电平移位电路的组成结构示意图。

30

具体实施方式

5 本公开实施例中，可以在由交叉连接的第一 P 沟道场效应晶体管（PMOS）和第二 PMOS 以及作为两个低电压域反相信号输入的第一 N 沟道场效应晶体管（NMOS）和第二 NMOS 组成的现有电平移位电路中，在 PMOS 的漏极和 NMOS 的漏极之间、PMOS 源极和漏极之间和 NMOS 源极和漏极之间分别增加设置接入分压电路。

下面结合实施例对本公开作进一步的详细说明。

10 本公开实施例提供一种电平移位电路，如图 2 所示，所述电路包括：第一 PMOS M14、第二 PMOS M15、第一 NMOS M0、第二 NMOS M1、第一分压电路、第二分压电路、第三分压电路、第四分压电路、第五分压电路和第六分压电路，其中，所述第一 PMOS M14 的源极和衬底连接电源 ADCC，所述第二 PMOS M15 的源极和衬底连接电源 ADCC，所述第一 NMOS M0 的源极和衬底接地，所述第二 NMOS M1 的源极和衬底
15 接地。

在一个实施例中，所述第一 PMOS M14 源极和漏极间连接所述第一分压电路，所述第二 PMOS M15 源极和漏极间连接所述第二分压电路。

20 所述第一 PMOS M14 的漏极连接所述第二 PMOS M15 的栅极，并经过所述第三分压电路与第一 NMOS M0 的漏极间连接。所述第二 PMOS M15 的漏极连接所述第一 PMOS M14 的栅极，并经过所述第四分压电路与所述第二 NMOS M1 的漏极间连接。

所述第一 NMOS M0 源极和漏极间连接所述第五分压电路，所述第二 NMOS M1 源极和漏极间连接所述第六分压电路。

25 所述第一 NMOS M0 的栅极为第一信号 INP 的输入端，所述第二 NMOS M1 的栅极为第二信号 INN 的输入端，所述第二 PMOS M15 的漏极和所述第二 NMOS M1 的漏极分别为所述第一信号 INP 对应的移位高电平输出端和移位低电平输出端，输出信号可以分别用 OUTPH 和 OUTPL 表示；所述第一 PMOS M14 的漏极和所述第一 NMOS M0 的漏极
30 分别为所述第二信号 INN 对应的移位高电平输出端和移位低电平输

出端，输出信号可以分别用 OUTNH 和 OUTNL 表示。这里，所述第一信号 INP 与第二信号 INN 可以是在电平移位中来自低电压域的一组反向输入信号。

5 所述第一分压电路、第二分压电路、第三分压电路、第四分压电路、第五分压电路和第六分压电路分别设置为控制所述第一 PMOS M14、第二 PMOS M15、第一 NMOS M0、第二 NMOS M1 的电压不超出预设值。具体的，当第一信号为高电平时，所述第一分压电路和第三分压电路用于控制第一 PMOS M14 和第一 NMOS M0 的电压不超出预设值，所述第四分压电路和第六分压电路用于控制第二 PMOS M15 和第二 NMOS M1 的电压不超出预设值；当所述第一信号为低电平时，所述第三分压电路和第五分压电路用于控制第一 PMOS M14 和第一 NMOS M0 的电压不超出预设值，所述第二分压电路和第四分压电路用于控制第二 PMOS M15 和第二 NMOS M1 的电压不超出预设值。所述第一 PMOS M14、第二 PMOS M15、第一 NMOS M0、第二 NMOS M1 的电压可以是指 MOS 的各极之间承受的电压；所述预设值可以根据电路中各 MOS 的耐受电压值来设置一个值，使预设值不大于所述 MOS 的耐受电压值。

20 这里，所述电平移位电路可以是集成电路芯片中的一个电路，所述第一分压电路、第二分压电路、第三分压电路、第四分压电路、第五分压电路和第六分压电路可以分别是一个具有阻抗特性的电路，如集成电路芯片中采用的多晶硅条电阻等。

25 具体的，如图 2 所示，电源 AVDD 为高电压域电源，如 3.3V。所述电平移位电路中第一 NMOS M0、第二 NMOS M1、第一 PMOS M14 和第二 PMOS M15 等 MOS 可以是耐受电压低于高电压域电压的 MOS，如耐受电压为 1.8V。第一 PMOS M14 和第二 PMOS M15 为交叉连接的 PMOS；所述第一信号 INP 和第二信号 INN 可以是互为反相的一组信号，如差分信号等，也可以是为了实现电平移位而通过反相器实现反相的一组信号等；所述第一信号 INP 和第二信号 INN 可以是低电压域信号，如信号电平为 0.9V。

30 当输入的第一信号 INP 为高电平时，第二信号 INN 为低电平，在这种情况下，根据 NMOS 特性，第一 NMOS M0 导通，第二 NMOS M1

关断，OUTNL 输出约为 0V，OUTNH 输出约为第一分压电路和第三分压电路的分压，根据 PMOS 特性，第二 PMOS M15 导通；OUTPH 输出约为电源电压 AVDD，第一 PMOS M14 关断；OUTPL 输出约为第四分压电路和第六分压电路的分压。

5 当第一信号 INP 为低电平时，第二信号 INN 为高电平，在这种情况下，第一 NMOS M0 关断，第二 NMOS M1 导通；第二信号 INN 对应的移位低电平输出端 OUTNL 输出约为第三分压电路和第五分压电路的分压，第二信号 INN 对应的移位高电平输出端 OUTNH 输出约为电源电压 AVDD，第二 PMOS M15 关断；第一信号 INP 对应的移位低电平
10 输出端 OUTPL 输出约为 0V，第一信号 INP 对应的移位高电平输出端 OUTPH 输出约为第二分压电路和第四分压电路的分压，第一 PMOS M14 导通。

 所述电平转移电路之后接有高电压域电路，从而可以按照需求在不同电路节点引出所述输出信号，例如，可以引出第一信号 INP
15 和第二信号 INN 对应的输出信号 OUTPH、OUTPL、OUTNH 和 OUTNL 等。

 第一信号 INP 为高电平或低电平时，第一 PMOS M14 和第二 PMOS M15 上各极之间的电压差最大为电源信号 AVDD 与输出信号 OUTPH 的电压差或电源信号 AVDD 与输出信号 OUTNH 的电压；第一 NMOS M0 和第二 NMOS M1 上各极之间的电压差最大为输出信号 OUTPL 与地之间的电压差或输出信号 OUTNL 与地之间的电压差。可以在电路设计时预先
20 设置个分压电路的阻值来调节分压，使所述第一 PMOS M14、第二 PMOS M15、第一 NMOS M0 和第二 NMOS M1 在各种情况下各极之间的压差均小于自身耐压值。

 例如，在高电压域电压为 3.3V，MOS 耐压值为 1.8V 的情况下，
25 可以设置各分压电路的阻抗值相同。如此，当第一信号 INP 为高电平时，输出电压 OUTNL 输出约为第三分压电路和第五分压电路的分压，即约为 1.65V；输出电压 OUTNH 输出约为 AVDD，即约为 3.3V；输出电压 OUTPL 输出约为 0V，输出电压 OUTPH 输出约为第二分压电路和第四分压电路的分压，即约为 1.65V。

30 当第一信号 INP 为低电平时，第二信号 INN 为高电平；在这种

情况下,输出电压 OUTNL 输出约为第三分压电路和第五分压电路的分压,即约为 1.65V;输出电压 OUTNH 输出约为电源电压 AVDD,即 3.3V;输出电压 OUTPL 输出约为 0V,输出电压 OUTPH 输出约为第二分压电路和第四分压电路的分压,即约为 1.65V。如此,第一 PMOS M14、第二 PMOS M15、第一 NMOS M0 和第二 NMOS M1 在各种情况下各极之间的压差均小于 1.8V。

5

如此,第一 PMOS M14、第二 PMOS M15、第一 NMOS M0 和第二 NMOS M1 在各情况下各极之间的压差均小于 1.8V,从而避免了过压风险。同时,各个输出电压信号 OUTPH、OUTPL、OUTNH 和 OUTNL 均不受工艺影响,而仅与各分压电路分压相关。

10

这里,可以根据输出信号的电压需求来设置第一分压电路、第二分压电路、第三分压电路、第四分压电路、第五分压电路和第六分压电路的阻抗值;如此,在分压后可以获取需求的输出信号电压。

在一个实施例中,所述第一分压电路、第二分压电路、第三分压电路、第四分压电路、第五分压电路和第六分压电路可以分别是单个二极管接法 MOS 或一个二极管接法 MOS 的级联结构。

15

这里,所述二极管接法 MOS 是指将 MOS 的栅极和漏极相连接作为一端、MOS 源极作为一端。所述二极管接法 MOS 具有的特性类似于二极管正向导通,并表现出一个小电阻似的小信号特性。二极管接法 MOS 通过级联后产生需求的分压效果,避免所述电平移位电路中所有的 MOS 出现过压情况。二极管接法 MOS 的级联结构中各 MOS 可以采用耐受电压低于高电压域电压的 MOS。

20

在一个实施例中,所述二极管接法 MOS 的级联结构类似于二极管,具有正向导通性;在所述电平移位电路中,所述第一分压电路与第一 PMOS 的源极的连接点和所述第一分压电路与第一 PMOS 的漏极的连接点分别为所述第一分压电路的电流流入端和流出端;所述第二分压电路与第二 PMOS 的源极的连接点和所述第二分压电路与第二 PMOS 的漏极的连接点分别为所述第二分压电路的电流流入端和流出端;所述第三分压电路与第一 PMOS 的漏极连接点和所述第三分压电路与第一 NMOS 的漏极的连接点分别为所述第三分压电路的电流流入端和流

25

30

出端；所述第四分压电路与第二 PMOS 的漏极连接点和所述第四分压电路与第二 NMOS 的漏极的连接点分别为所述第四分压电路的电流流入端和流出端；所述第五分压电路与第一 NMOS 的漏极连接点和所述第五分压电路与第一 NMOS 的源极的连接点分别为所述第五分压电路的电流流入端和流出端；并且所述第六分压电路与第二 NMOS 的漏极连接点和所述第六分压电路与第二 NMOS 的源极的连接点分别为所述第六分压电路的电流流入端和流出端。

在一个实施例中，所述二极管接法 MOS 的级联结构由两个以上的二极管接法 NMOS、和/或二极管接法 PMOS 级联而成。根据使用的 MOS 及电源电压 AVDD 的不同以及对输出信号摆幅范围的要求，可以调整所述第一分压电路、第二分压电路、第三分压电路、第四分压电路、第五分压电路和第六分压电路的二极管接法 MOS 的级联结构中级联级数及 MOS 的尺寸。MOS 尺寸越大，电流通过力越强。在一个实施例中，二极管接法 MOS 的级联结构中 MOS 可以是 NMOS、PMOS 或者混合使用。根据实际后续电路需要，可以将分压电路中级联 MOS 中的不同电路节点引出作为输出信号。

在一个实施例中，如图 3 所示，所述第一分压电路、第二分压电路、第三分压电路、第四分压电路、第五分压电路和第六分压电路的二极管接法 MOS 的级联结构包括：两个二极管接法 PMOS 的级联结构。所述两个二极管接法 PMOS 的级联结构包括：第一级联 PMOS 的衬底和第二级联 PMOS 的衬底连接，并与所述第一级联 PMOS 的源极连接以作为电流流入端；所述第一级联 PMOS 的栅极和漏极连接，并与所述第二级联 PMOS 的源极连接；以及所述第二级联 PMOS 的栅极和漏极连接以作为电流流出端。例如，在第一分压电路中，M7 为第一级联 PMOS，M6 为第二级联 PMOS。

具体的，如图 3 所示，M6 和 M7 组成了第一分压电路，M12 和 M13 组成了第二分压电路，M4 和 M5 组成了第三分压电路，M10 和 M11 组成了第四分压电路，M2 和 M3 组成了第五分压电路，M8 和 M9 组成了第六分压电路。图 3 所示的电平移位电路中，所有 MOS 可以均为 1.8V 耐受电压 MOS，不能直接承受 AVDD 的 3.3V 高电压，为了避免 1.8V

5 耐受电压 MOS 管过压，级联二极管电路均采用两级级联结构，无需外部偏置电压；INP/INN 为来自低电压域的反相输入信号，分别接 M0 和 M1 栅极；M2~M13 为二极管接法 PMOS；M14 和 M15 为交叉连接的 PMOS。同时，根据实际后续电路需要，可以将分压电路中级联 PMOS 中的不同电路节点引出作为输出信号，如将 M4 和 M5 级联节点 CN，和 M10 和 M11 级联节点 CP 引出作为输出信号。

10 当 M2~M13 尺寸相同，即各二极管接法 PMOS 阻抗相同，各分压电路阻抗相同；输入第一信号 INP 为高电平，第二信号 INN 为低电平时，输出信号 OUTNL 输出约为 0V，级联节点 CN 输出约为 $AVDD/4$ ，输出信号 OUTNH 输出约为 $AVDD/2$ ，M15 导通，输出信号 OUTPL 输出约为 $AVDD/2$ ，级联节点 CP 输出约为 $AVDD*3/4$ ，输出信号 OUTPH 输出约为 $AVDD$ ，M14 关断。当输入第一信号 INP 为低电平，第二信号 INN 为高电平时，输出信号 OUTNL 输出约为 $AVDD/2$ ，级联节点 CN 输出约为 $AVDD*3/4$ ，输出信号 OUTNH 输出约为 $AVDD$ ，M15 关断，输出信号 OUTPL 输出约为 0V，级联节点 CP 输出约为 $AVDD/4$ ，输出信号 OUTPH 输出约为 $AVDD/2$ ，M14 导通。综上所述，输出信号 OUTPH/OUTNH 输出范围约为 $AVDD/2\sim AVDD$ ，输出信号 OUTPL/OUTNL 输出范围约为 $0\sim AVDD/2$ ，级联节点 CP/CN 输出范围约为 $1/4*AVDD\sim 3/4*AVDD$ 。由于各节点电压均由二极管接法 PMOS 分压产生，正常工作及上电过程中均不会有过压问题。

15

20

25 通过调整 M2~M7 PMOS 的尺寸，同时调整 M8~M13 PMOS 的尺寸以保持所述电平移位电路左右对称性，可以调整出不同的输出电压范围以供后续电路使用。若 M2、M3 相对与 M4、M5 尺寸变大，同时 M8、M9 维持和 M2、M3 尺寸相同，则 OUTPL、OUTNL 输出低电压接近地电压，而输出高电平低于 $AVDD/2$ ；若 M2、M3 相对与 M4、M5 尺寸变小，同时 M8、M9 维持和 M2、M3 尺寸相同，则 OUTPL、OUTNL 输出低电压接近地电压，而输出高电平高于 $AVDD/2$ 。若 M6、M7 相对与 M10、M11 尺寸变大，同时 M12、M13 维持和 M6、M7 尺寸相同，则 OUTPH、OUTNH 输出高电压接近电源电压，而输出低电平高于 $AVDD/2$ ；若 M6、M7 相对与 M10、M11 尺寸变小，同时 M12、M13 维持和 M6、M7 尺寸相同，

30

则 OUTPH、OUTNH 输出高电压接近电源电压，而输出低电平低于 AVDD/2。

在一个实施例中，所述二极管接法 MOS 的级联结构中的 MOS 在同一个阱中。

5 具体的，为了节省版图面积，可以将 M2 和 M3 衬底相连使用同一阱，M4 和 M5 衬底相连使用同一阱，M6 和 M7 衬底相连使用同一阱，M8 和 M9 衬底相连使用同一阱，M10 和 M11 衬底相连使用同一阱，M12 和 M13 衬底相连使用同一阱。如此，相较于现有的电路 MOS 无法共阱设计，采用共阱设计可以节省集成电路版图面积。

10 本公开实施例提供的集成电路芯片，包括电平移位电路，如图 2 所示，所述电路包括：第一 PMOS M14、第二 PMOS M15、第一 NMOS M0、第二 NMOS M1、第一分压电路、第二分压电路、第三分压电路、第四分压电路、第五分压电路和第六分压电路；所述第一 PMOS M14 的源极和衬底连接电源，所述第二 PMOS M15 的源极和衬底连接电源；所述
15 所述第一 NMOS M0 的源极和衬底接地，所述第二 NMOS M1 的源极和衬底接地。

所述第一 PMOS M14 源极和漏极间连接所述第一分压电路，所述第二 PMOS M15 源极和漏极间连接所述第二分压电路。

20 所述第一 PMOS M14 的漏极连接所述第二 PMOS M15 的栅极，并经过所述第三分压电路与第一 NMOS M0 的漏极间连接；所述第二 PMOS M15 的漏极连接所述第一 PMOS M14 的栅极，并经过所述第四分压电路与所述第二 NMOS M1 的漏极间连接。

所述第一 NMOS M0 源极和漏极间连接所述第五分压电路，所述第二 NMOS M1 源极和漏极间连接所述第六分压电路。

25 所述第一 NMOS M0 的栅极为第一信号 INP 的输入端，所述第二 NMOS M1 的栅极为第二信号 INN 的输入端，所述第二 PMOS M15 的漏极和所述第二 NMOS M1 的漏极分别为所述第一信号 INP 对应的移位高电平输出端和移位低电平输出端，输出信号可以分别用 OUTPH 和 OUTPL 表示；所述第一 PMOS M14 的漏极和所述第一 NMOS M0 的漏极
30 分别为所述第二信号 INN 对应的移位高电平输出端和移位低电平输

出端，输出信号可以分别用 OUTNL 和 OUTNL 表示。这里，所述第一信号 INP 与第二信号 INN 可以是在电平移位中来之低电压域的一组反向输入信号。

5 所述第一分压电路、第二分压电路、第三分压电路、第四分压电路、第五分压电路和第六分压电路分别设置为控制所述第一 PMOS、第二 PMOS、第一 NMOS、第二 NMOS 的电压不超出预设值。具体的，当第一信号为高电平时，所述第一分压电路和第三分压电路用于控制第一 PMOS 和第一 NMOS 的电压不超出预设值，所述第四分压电路和第六分压电路用于控制第二 PMOS 和第二 NMOS 的电压不超出预设值；当所述第一信号为低电平时，所述第三分压电路和第五分压电路用于控制第一 PMOS 和第一 NMOS 的电压不超出预设值，所述第二分压电路和第四分压电路用于控制第二 PMOS 和第二 NMOS 的电压不超出预设值。所述第一 PMOS、第二 PMOS、第一 NMOS、第二 NMOS 的电压可以是指 MOS 的各极之间承受的电压；所述预设值可以根据电路中各 MOS 的耐受电压值来设置一个值，使预设值不大于所述 MOS 的耐受电压值；这里，所述电平移位电路可以是集成电路芯片中的一个电路，所述第一分压电路、第二分压电路、第三分压电路、第四分压电路、第五分压电路和第六分压电路可以分别是一个具有阻抗特性的电路，如集成电路芯片中采用的多晶硅条电阻等。

20 具体的，如图 2 所示，电源 AVDD 为高电压域电源，如 3.3V；所述电平移位电路中第一 NMOS M0、第二 NMOS M1、第一 PMOS M14 和第二 PMOS M15 等 MOS 可以是耐受电压低于高电压域电压的 MOS，如耐受电压为 1.8V；第一 PMOS M14 和第二 PMOS M15 为交叉连接的 PMOS；所述第一信号 INP 和第二信号 INN 可以是互为反相的一组信号，如差分信号等，也可以是为了实现电平移位而通过反相器实现反相的一组信号等；所述第一信号 INP 和第二信号 INN 可以是低电压域信号，如信号电平为 0.9V。

25 当输入的第一信号 INP 为高电平时，第二信号 INN 为低电平；根据 NMOS 特性，第一 NMOS M0 导通，第二 NMOS M1 关断，输出信号 OUTNL 输出约为 0V，输出信号 OUTNH 输出约为第一分压电路和第三分

压电路的分压, 根据 PMOS 特性, 第一 PMOS M15 导通; 输出信号 OUTPH 输出约为电源电压 AVDD, 第一 PMOS M14 关断; 输出信号 OUTPL 输出约为第四分压电路和第六分压电路的分压。

5 当第一信号 INP 为低电平时, 第二信号 INN 为高电平, 第一 NMOS M0 关断, 第二 NMOS M1 导通; 输出信号 OUTNL 输出约为第三分压电路和第五分压电路的分压, 输出信号 OUTNH 输出约为电源电压 AVDD, 第二 PMOS M15 关断; 输出信号 OUTPL 输出约为 0V, 输出信号 OUTPH 输出约为第二分压电路和第四分压电路的分压, 第一 PMOS M14 导通。

10 所述电平转移电路后续高电压域电路, 可以按照需求在不同电路节点引出所述输出信号, 例如, 可以引出第一信号 INP 和第二信号 INN 对应的输出信号 OUTPH、OUTPL、OUTNH 和 OUTNL 等。

15 第一信号 INP 为高电平或低电平时, 第一 PMOS M14 和第二 PMOS M15 上各极之间的电压差最大为电源信号 AVDD 与输出信号 OUTPH 的电压差或电源信号 AVDD 与输出信号 OUTNH 的电压; 第一 NMOS M0 和第二 NMOS M1 上各极之间的电压差最大为输出信号 OUTPL 与地之间的电压差或输出信号 OUTNL 与地之间的电压差; 可以在电路设计时预先设置个分压电路的阻值来调节分压, 使所述第一 PMOS M14、第二 PMOS M15、第一 NMOS M0 和第二 NMOS M1 在各种情况下各极之间的压差均小于自身耐压值。

20 例如, 在高电压域电压为 3.3V, MOS 耐压值为 1.8V 的情况下, 可以设置各分压电路的阻抗值相同。如此, 当第一信号 INP 为高电平时, 输出信号 OUTNL 输出约为第三分压电路和第五分压电路的分压, 即约为 1.65V; 输出信号 OUTNH 输出约为电源电压 AVDD, 即约为 3.3V; 输出信号 OUTPL 输出约为 0V, 输出信号 OUTPH 输出约为第二分压电路和第四分压电路的分压, 即约为 1.65V。

25 当第一信号 INP 为低电平时, 第二信号 INN 为高电平; 在这种情况下, 输出信号 OUTNL 输出约为第三分压电路和第五分压电路的分压, 即约为 1.65V; 输出信号 OUTNH 输出约为电源电压 AVDD, 即 3.3V; 输出信号 OUTPL 输出约为 0V, 输出信号 OUTPH 输出约为第二分压电路和第四分压电路的分压, 即约为 1.65V; 如此, 第一 PMOS M14、第
30

二 PMOS M15、第一 NMOS M0 和第二 NMOS M1 在各种情况下各极之间的压差均小于 1.8V。

如此，第一 PMOS M14、第二 PMOS M15、第一 NMOS M0 和第二 NMOS M1 在各情况下各极之间的压差均小于 1.8V，从而避免了过压风险。

5 同时，OUTPH、OUTPL、OUTNH 和 OUTNL 均不受工艺影响，仅与各分压电路分压相关。

这里，可以根据输出信号的电压需求来设置第一分压电路、第二分压电路、第三分压电路、第四分压电路、第五分压电路和第六分压电路的阻抗值；如此，在分压后可以获取需求的输出信号电压。

10 在一个实施例中，所述第一分压电路、第二分压电路、第三分压电路、第四分压电路、第五分压电路和第六分压电路可以分别是单个二极管接法 MOS 或一个二极管接法 MOS 的级联结构。

15 这里，所述二极管接法 MOS 是指将 MOS 的栅极和漏极相连接作为一端，MOS 源极作为一端。所述二极管接法 MOS 具有的特性类似于二极管正向导通，并表现出一个小电阻似的小信号特性；二极管接法 MOS 通过级联后产生需求的分压效果，避免所述电平移位电路中所有的 MOS 出现过压情况。二极管接法 MOS 的级联结构中各 MOS 可以采用耐受电压低于高电压域电压的 MOS。根据实际后续电路需要，可以将分压电路中级联 MOS 中的不同电路节点引出作为输出信号。

20 在一个实施例中，所述二极管接法 MOS 的级联结构类似于二极管，具有正向导通性；在所述电平移位电路中，所述第一分压电路与第一 PMOS 的源极的连接点和所述第一分压电路与第一 PMOS 的漏极的连接点分别为所述第一分压电路的电流流入端和流出端；所述第二分压电路与第二 PMOS 的源极的连接点和所述第二分压电路与第二 PMOS
25 的漏极的连接点分别为所述第二分压电路的电流流入端和流出端；所述第三分压电路与第一 PMOS 的漏极连接点和所述第三分压电路与第一 NMOS 的漏极的连接点分别为所述第三分压电路的电流流入端和流出端；所述第四分压电路与第二 PMOS 的漏极连接点和所述第四分压电路与第二 NMOS 的漏极的连接点分别为所述第四分压电路的电流流
30 入端和流出端；所述第五分压电路与第一 NMOS 的漏极连接点和所述

第五分压电路与第一 NMOS 的源极的连接点分别为所述第五分压电路的电流流入端和流出端；所述第六分压电路与第二 NMOS 的漏极连接点和所述第六分压电路与第二 NMOS 的源极的连接点分别为所述第六分压电路的电流流入端和流出端。

5 在一个实施例中，所述二极管接法 MOS 的级联结构由两个以上的二极管接法 NMOS、和/或二极管接法 PMOS 级联而成。根据使用的 MOS 及 AVDD 电压的不同以及对输出信号摆幅范围的要求，调整所述第一分压电路、第二分压电路、第三分压电路、第四分压电路、第五分压电路和第六分压电路的二极管接法 MOS 的级联结构中级联级数
10 及 MOS 的尺寸；MOS 尺寸越大，电流通过力越强；其中，二极管接法 MOS 的级联结构中 MOS 可以是 NMOS、PMOS 或者混合使用。

 在一个实施例中，如图 3 所示，所述第一分压电路、第二分压电路、第三分压电路、第四分压电路、第五分压电路和第六分压电路的二极管接法 MOS 的级联结构包括：两个二极管接法 PMOS 的级联结构。所述两个二极管接法 PMOS 的级联结构包括：第一级联 PMOS 的衬底和第二级联 PMOS 的衬底连接，并与所述第一级联 PMOS 的源极连接
15 作为电流流入端；所述第一级联 PMOS 的栅极和漏极连接，并与所述第二级联 PMOS 的源极连接；所述第二级联 PMOS 的栅极和漏极连接，并作为电流流出端。如第一分压电路中，M7 为第一级联 PMOS；M6 为
20 第二级联 PMOS。

 具体的，如图 3 所示，M6 和 M7 组成了第一分压电路，M12 和 M13 组成了第二分压电路，M4 和 M5 组成了第三分压电路，M10 和 M11 组成了第四分压电路，M2 和 M3 组成了第五分压电路，M8 和 M9 组成了第六分压电路；图 3 所示的电平移位电路中，所有 MOS 可以均为 1.8V
25 耐受电压 MOS，不能直接承受 AVDD 的 3.3V 高电压，为了避免 1.8V 耐受电压 MOS 过压，级联二极管电路均采用两级级联结构，无需外部偏置电压；INP/INN 为来自低电压域的反相输入信号，分别接 M0 和 M1 栅极；M2~M13 为二极管接法 PMOS；M14 和 M15 为交叉连接的 PMOS。同时，根据实际后续电路需要，可以将分压电路中级联 PMOS 中的不同
30 电路节点引出作为输出信号，如将 M4 和 M5 级联节点 CN 和 M10 和

M11 级联节点 CP 引出作为输出信号。

5 当 M2~M13 尺寸相同，即各二极管接法 PMOS 阻抗相同，各分压电路阻抗相同；输入第一信号 INP 为高电平，第二信号 INN 为低电平时，输出信号 OUTNL 输出约为 0V，级联节点 CN 输出约为 AVDD/4，输出信号 OUTNH 输出约为 AVDD/2，第二 PMOS M15 导通，输出信号 OUTPL 输出约为 AVDD/2，级联节点 CP 输出约为 AVDD*3/4，输出信号 OUTPH 输出约为 AVDD，第一 PMOS M14 关断。当输入第一信号 INP 为低电平，第二信号 INN 为高电平时，输出信号 OUTNL 输出约为 AVDD/2，级联节点 CN 输出约为 AVDD*3/4，输出信号 OUTNH 输出约为 AVDD，第二 PMOS M15 关断，输出信号 OUTPL 输出约为 0V，级联节点 CP 输出约为 AVDD/4，输出信号 OUTPH 输出约为 AVDD/2，第一 PMOS M14 导通。综上所述，输出信号 OUTPH/OUTNH 输出范围约为 AVDD/2~AVDD，输出信号 OUTPL/OUTNL 输出范围约为 0~AVDD/2，级联节点 CP/CN 输出范围约为 1/4*AVDD~3/4*AVDD。由于各节点电压均由二极管接法 PMOS 分压产生，正常工作及上电过程中均不会有过压问题。

15 通过调整 M2~M7 PMOS 的尺寸，并同时调整 M8~M13 PMOS 的尺寸以保持所述电平移位电路左右对称性，可以调整出不同的输出电压范围以供后续电路使用。若 M2、M3 相对与 M4、M5 尺寸变大，同时 M8、M9 维持和 M2、M3 尺寸相同，则 OUTPL、OUTNL 输出低电压接近地电压，而输出高电平低于 AVDD/2；若 M2、M3 相对与 M4、M5 尺寸变小，同时 M8、M9 维持和 M2、M3 尺寸相同，则 OUTPL、OUTNL 输出低电压接近地电压，而输出高电平高于 AVDD/2。若 M6、M7 相对与 M10、M11 尺寸变大，同时 M12、M13 维持和 M6、M7 尺寸相同，则 OUTPH、OUTNH 输出高电压接近电源电压，而输出低电平高于 AVDD/2；若 M6、M7 相对与 M10、M11 尺寸变小，同时 M12、M13 维持和 M6、M7 尺寸相同，则 OUTPH、OUTNH 输出高电压接近电源电压，而输出低电平低于 AVDD/2。

25 在一个实施例中，所述二极管接法 MOS 的级联结构中的 MOS 在同一个阱中。

30 具体的，为了节省版图面积，可以将 M2 和 M3 衬底相连使用同

一阱，M4 和 M5 衬底相连使用同一阱，M6 和 M7 衬底相连使用同一阱，M8 和 M9 衬底相连使用同一阱，M10 和 M11 衬底相连使用同一阱，M12 和 M13 衬底相连使用同一阱；如此，相较于现有的电路 MOS 无法共阱设计，采用共阱设计可以节省集成电路版图面积。

5

以上所述仅为本公开的示例性实施例，其并非用于限定本公开的保护范围。凡在本公开的精神和原则之内所作的任何修改、等同替换和改进等，均应包含在本公开的保护范围之内。

权利要求

5 1. 一种电平移位电路，包括：第一 P 沟道场效应晶体管 PMOS、第二 PMOS、第一 N 沟道场效应晶体管 NMOS、第二 NMOS、第一分压电路、第二分压电路、第三分压电路、第四分压电路、第五分压电路和第六分压电路，其中，所述第一 PMOS 的源极和衬底连接电源，所述第二 PMOS 的源极和衬底连接电源，所述第一 NMOS 的源极和衬底接地，所述第二 NMOS 的源极和衬底接地，并且其中，

10 所述第一 PMOS 源极和漏极间连接所述第一分压电路，所述第二 PMOS 源极和漏极间连接所述第二分压电路；

所述第一 PMOS 的漏极连接所述第二 PMOS 的栅极，并经过所述第三分压电路与第一 NMOS 的漏极间连接，所述第二 PMOS 的漏极连接所述第一 PMOS 的栅极，并经过所述第四分压电路与所述第二 NMOS 的漏极间连接；

15 所述第一 NMOS 源极和漏极间连接所述第五分压电路，所述第二 NMOS 源极和漏极间连接所述第六分压电路；以及

所述第一分压电路、第二分压电路、第三分压电路、第四分压电路、第五分压电路和第六分压电路设置为控制所述第一 PMOS、第二 PMOS、第一 NMOS 和第二 NMOS 的电压不超出预设值。

20

2. 根据权利要求 1 所述的电路，其中，

25 所述第一 NMOS 的栅极为第一信号的输入端，所述第二 NMOS 的栅极为第二信号的输入端，所述第二 PMOS 的漏极和所述第二 NMOS 的漏极分别为所述第一信号对应的移位高电平输出端和移位低电平输出端；

所述第一 PMOS 的漏极和所述第一 NMOS 的漏极分别为所述第二信号对应的移位高电平输出端和移位低电平输出端；并且

所述第一信号与第二信号相位相反。

30

3. 根据权利要求 2 所述的电路，其中，

当所述第一信号为高电平时，所述第一分压电路和第三分压电路用于控制所述第一 PMOS 和第一 NMOS 的电压不超出预设值；

当所述第一信号为高电平时，所述第四分压电路和第六分压电路用于控制所述第二 PMOS 和第二 NMOS 的电压不超出预设值；

5 当所述第一信号为低电平时，所述第三分压电路和第五分压电路用于控制所述第一 PMOS 和第一 NMOS 的电压不超出预设值；并且

当所述第一信号为低电平时，所述第二分压电路和第四分压电路用于控制所述第二 PMOS 和第二 NMOS 的电压不超出预设值。

10 4. 根据权利要求 2 所述的电路，其中，各分压电路均包括：单个二极管接法 MOS 或二极管接法 MOS 的级联结构。

5. 根据权利要求 4 所述的电路，其中，

15 所述第一分压电路与第一 PMOS 的源极的连接点和所述第一分压电路与第一 PMOS 的漏极的连接点分别为所述第一分压电路的电流流入端和流出端；

所述第二分压电路与第二 PMOS 的源极的连接点和所述第二分压电路与第二 PMOS 的漏极的连接点分别为所述第二分压电路的电流流入端和流出端；

20 所述第三分压电路与第一 PMOS 的漏极连接点和所述第三分压电路与第一 NMOS 的漏极的连接点分别为所述第三分压电路的电流流入端和流出端；

所述第四分压电路与第二 PMOS 的漏极连接点和所述第四分压电路与第二 NMOS 的漏极的连接点分别为所述第四分压电路的电流流入端和流出端；

25 所述第五分压电路与第一 NMOS 的漏极连接点和所述第五分压电路与第一 NMOS 的源极的连接点分别为所述第五分压电路的电流流入端和流出端；并且

30 所述第六分压电路与第二 NMOS 的漏极连接点和所述第六分压电路与第二 NMOS 的源极的连接点分别为所述第六分压电路的电流流入

端和流出端。

5 6. 根据权利要求 5 所述的电路，其中，所述二极管接法 MOS 的级联结构由两个以上的二极管接法 NMOS、和/或二极管接法 PMOS 级联而成。

7. 根据权利要求 6 所述的电路，其中，所述二极管接法 MOS 的级联结构包括：两个二极管接法 PMOS 的级联结构。

10 8. 根据权利要求 7 所述的电路，其中，
所述两个二极管接法 PMOS 的级联结构包括：第一级联 PMOS 的衬底和第二级联 PMOS 的衬底连接，并与所述第一级联 PMOS 的源极连接，以作为电流流入端；

15 所述第一级联 PMOS 的栅极和漏极连接，并与所述第二级联 PMOS 的源极连接；并且

所述第二级联 PMOS 的栅极和漏极连接，以作为电流流出端。

9. 根据权利要求 4 至 8 中任一项所述的电路，其中，所述二极管接法 MOS 的级联结构中的 MOS 在同一个阱中。

20 10. 根据权利要求 1 至 8 中任一项所述的电路，其中，所述第一 PMOS、第二 PMOS、第一 NMOS、第二 NMOS 的耐压值小于电源电压值。

25 11. 一种集成电路芯片，所述集成电路芯片包括权利要求 1 至 10 任一项所述的电平移位电路。

摘要

5 本公开提供了一种电平移位电路和一种集成电路芯片。在所述电平移位电路中，在由交叉连接的第一 P 沟道场效应晶体管（PMOS）和第二 PMOS 以及作为两个低电压域反相信号输入的第一 N 沟道场效应晶体管（NMOS）和第二 NMOS 组成的电平移位电路中，在 PMOS 的漏极和 NMOS 的漏极之间、PMOS 源极和漏极之间和 NMOS 源极和漏极之间分别增加设置接入分压电路。

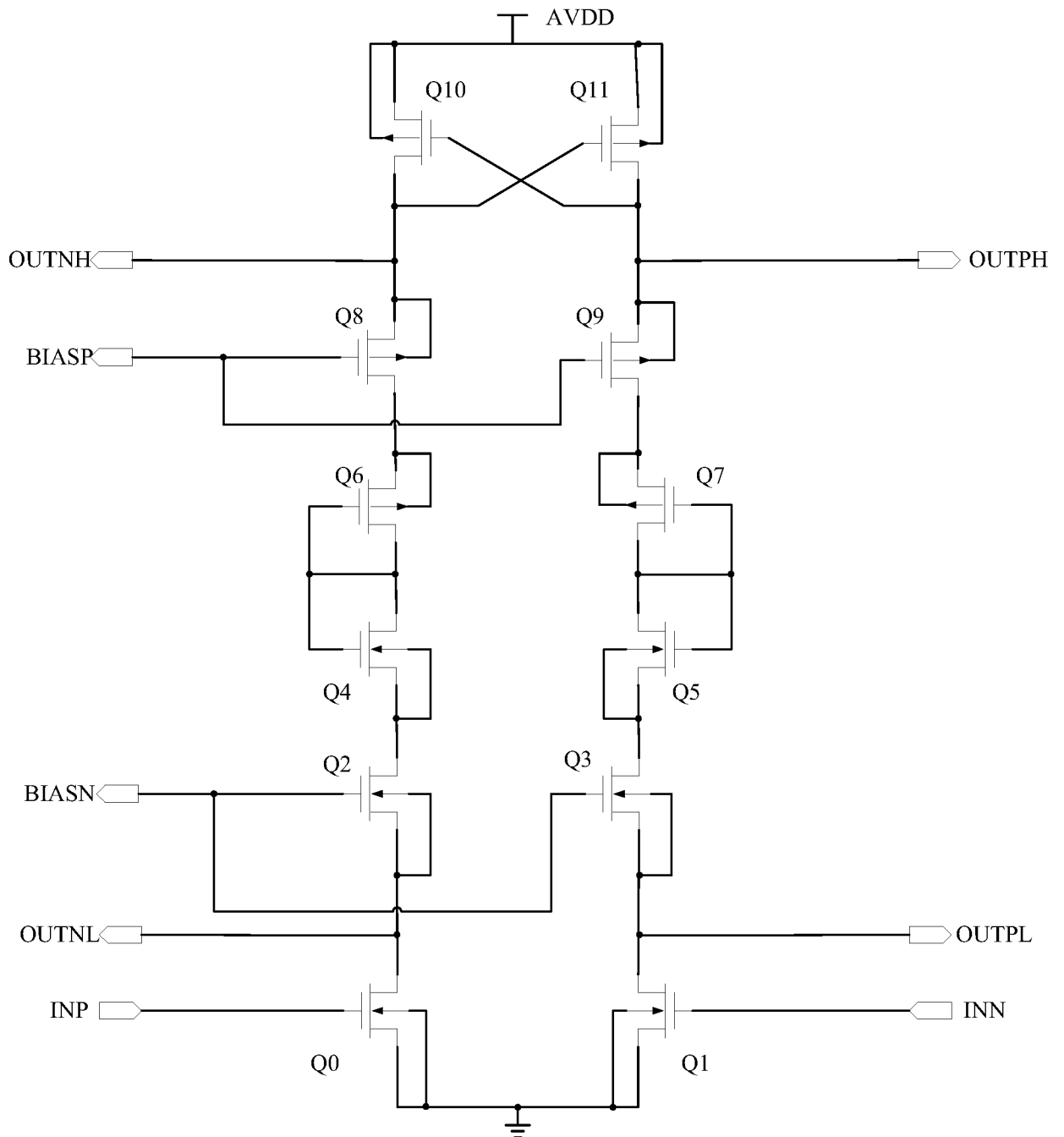


图 1

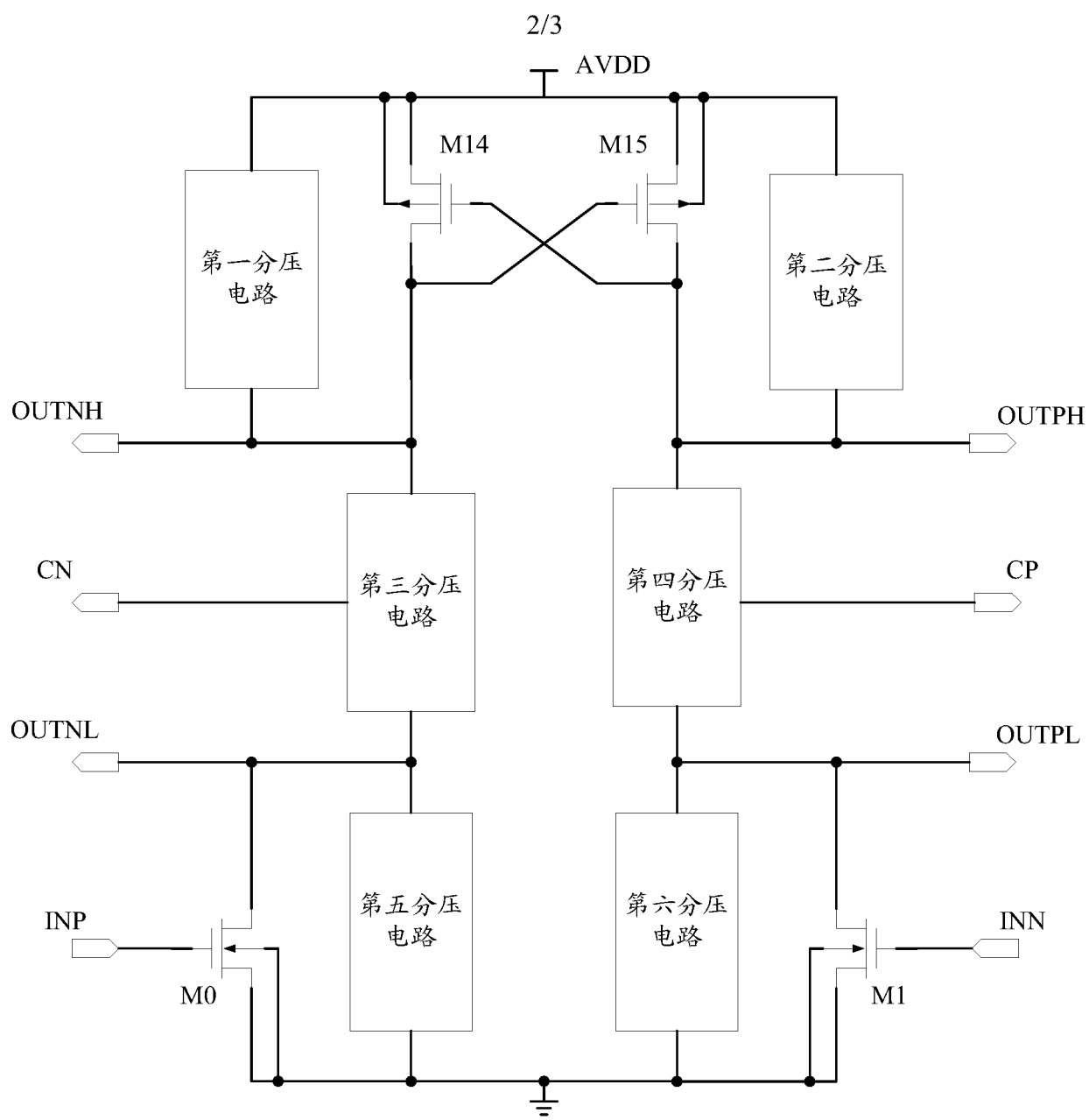


图 2

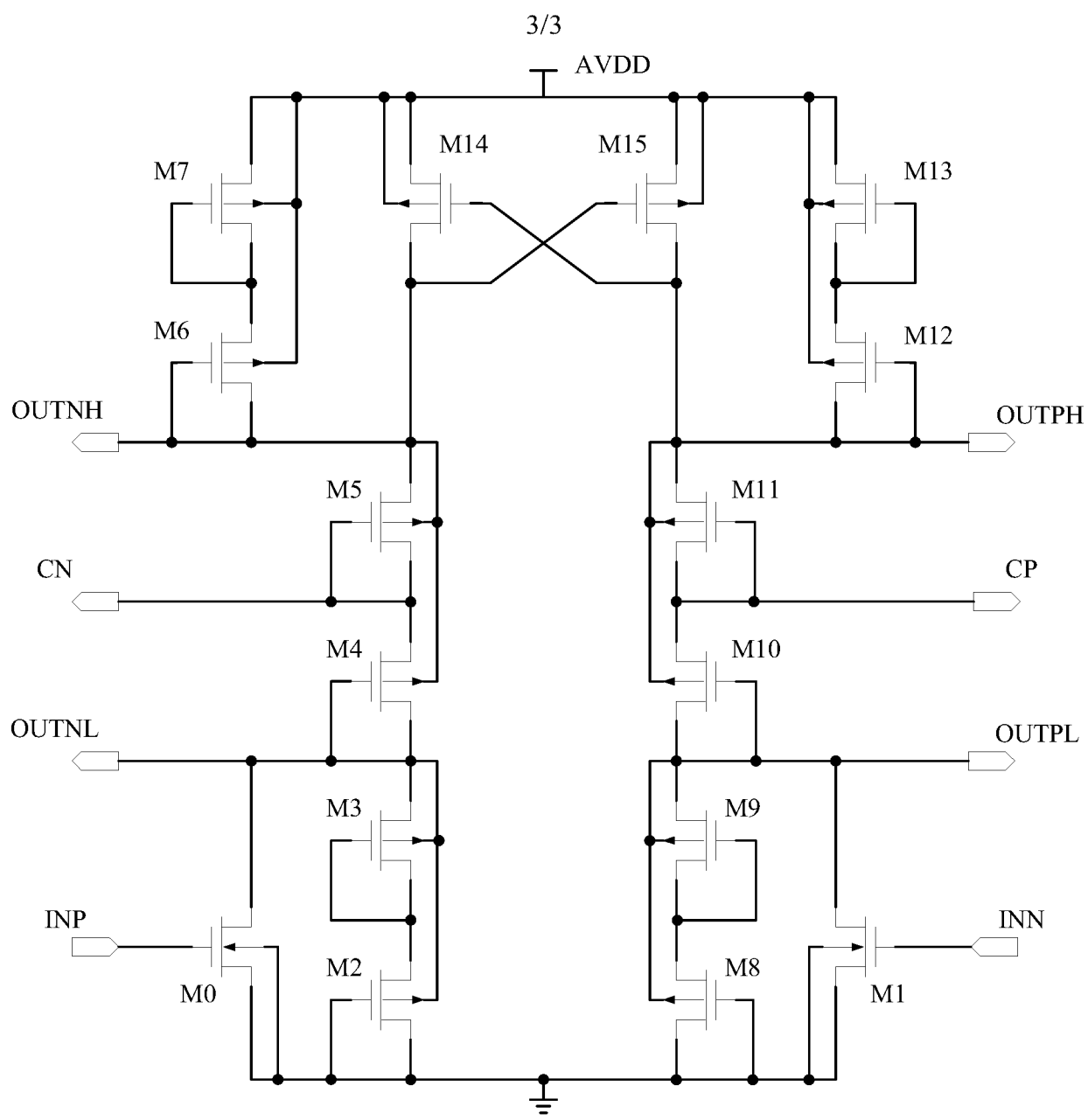


图 3