

# (12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织  
国际局

(43) 国际公布日  
2019年1月10日 (10.01.2019)



(10) 国际公布号  
**WO 2019/006962 A1**

- (51) 国际专利分类号:  
*H05K 3/20* (2006.01) *G06K 19/07* (2006.01)
- (21) 国际申请号: PCT/CN2017/112770
- (22) 国际申请日: 2017年11月24日 (24.11.2017)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:  
201710528331.6 2017年7月1日 (01.07.2017) CN
- (71) 申请人: 华中科技大学(HUAZHONG UNIVERSITY OF SCIENCE AND TECHNOLOGY) [CN/CN]; 中国湖北省武汉洪山珞喻路1037号, Hubei 430074 (CN)。
- (72) 发明人: 吴志刚(WU, Zhigang); 中国湖北省武汉洪山珞喻路1037号, Hubei 430074 (CN)。

朱斌(ZHU, Bin); 中国湖北省武汉洪山珞喻路1037号, Hubei 430074 (CN)。彭鹏(PENG, Peng); 中国湖北省武汉洪山珞喻路1037号, Hubei 430074 (CN)。

(74) 代理人: 华中科技大学专利中心(HUAZHONG UNIVERSITY OF SCIENCE AND TECHNOLOGY PATENT AGENCY CENTER); 中国湖北省武汉洪山区珞瑜路1037号华中科技大学东一楼340室, Hubei 430074 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,

(54) Title: METHOD FOR MANUFACTURING DUCTILE CIRCUIT

(54) 发明名称: 一种延性电路制作方法

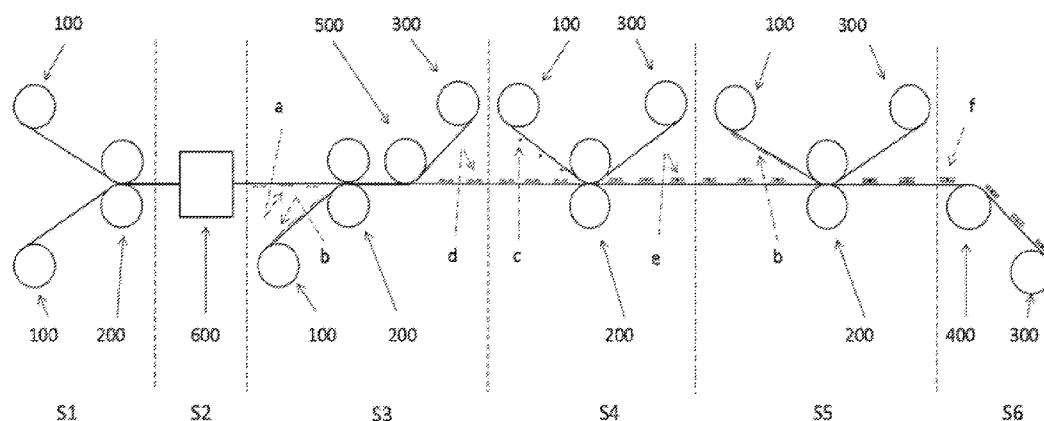


图4

(57) Abstract: Provided is a method for manufacturing a ductile circuit. The method uses a "roll-to-roll" type process, and involves: (S1) integrating a conductive layer and a first auxiliary substrate layer into one body and then making same into a coiled material, using one end of the coiled material as an initial feeding unrolling end, and extending same to a set length after unrolling; (S2) patterning the conductive layer of the coiled material unrolled to the set length to prepare a required circuit structure; (S3) using a first elastomer layer provided with a first auxiliary substrate as a feeding end, sending same to a pair of rollers, transfer printing the circuit structure to the surface of the first elastomer layer, and then removing the first auxiliary substrate layer; (S4) assembling a chip and the circuit structure together by using double-roll pressing and a bonding difference so as to obtain a ductile circuit layer semi-finished product; and (S5) transfer printing a second elastomer layer to the surface of the ductile circuit layer semi-finished product, wherein the second elastomer layer is used for a packaging layer of the ductile circuit layer semi-finished product. The method improves the production efficiency of the ductile circuit by combining the process of making the ductile circuit with a roll-to-roll motion platform.

MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

---

(57) 摘要: 一种延性电路制作方法, 采用"卷对卷"式工艺, 包括: (S1) 将导电层和第一辅助基底层层合形成一体后制成卷材, 将该卷材的一端作为初始进料放卷端, 放卷后展开设定长度; (S2) 在展开设定长度的卷材导电层上进行图案化, 制备所需的电路结构; (S3) 将设置有第一辅助基底的第一弹性体层作为进料端, 送入对辊, 将电路结构转印到第一弹性体层表面, 再将第一辅助基底去除; (S4) 采用对辊压合和粘力差, 将芯片与电路结构组装在一起, 获得延性电路层半成品; (S5) 将第二弹性体层转印至延性电路层半成品表面, 第二弹性体层用于延性电路层半成品的封装层。该方法通过将制作延性电路的工艺与卷对卷运动平台相结合, 提高延性电路的生产效率。

## 一种延性电路制作方法

### [技术领域]

本发明属于延性电路的制作领域，具体涉及用卷对卷方法来制作延性电路。

### [背景技术]

延性电子可概括为是将有机/无机材料电子器件制作在可延性塑料或薄金属基板上的新兴电子技术，以其独特的质量轻、厚度薄、具有延展性等特点，在信息、能源、医疗、国防等领域具有广泛应用前景，如柔性电子显示器、有机发光二极管 OLED、印刷 RFID、薄膜太阳能电池板、仿生电子皮肤、智能可穿戴设备等。延性电子技术有可能带来一场电子技术革命，引起全世界的广泛关注并得到了迅速发展。美国《科学》杂志将有机电子技术进展列为 2000 年世界十大科技成果之一，与人类基因组草图、生物克隆技术等重大发现并列。

与传统 IC 技术一样，制造工艺和装备也是柔性/延性电子技术发展的主要驱动力。延性电路是在柔性电路柔性的基础上，再增加了可延展的特性，但在制作工艺上，两者具有很大的区别，主要是前者对材料的要求更高。

申请号为 201510638404.8 的中国专利申请公开了一种制作延性电路板的制作方法，其是通过先将感光树脂层形成在可移除的辅助基底上，选择性移除感光树脂形成特定的沟槽，然后在槽内填充导电金属平齐感光树脂表面，最后移除基底后形成嵌入感光树脂的延性电路板。

申请号为 201310090363.4 的中国专利申请公开了一种制作延性电路互连结构的工艺，其是先利用静电纺丝在硅片上直写出一级波纹图案，然后

转印到预拉伸的弹性衬底上，弹性衬底恢复自然状态后，形成二级波纹结构的图案。

总体来说，这些制作柔性/延性电路的方法都侧重于对电路性能的改进，当面对大规模制作时，在加工效率这方面都存在较大缺陷，而且并没有对制作延性电路整体的全部加工工艺进行集成和一体化，效率方面更加受到限制。

因此，需要开发一种新型的延性电路制作方法，要求其能在大规模制作时候，具有较大的加工效率。

## [发明内容]

针对现有技术的以上缺陷或改进需求，本发明提供了一种结合卷对卷的制造延性电路的方法，其目的在于，通过将制作延性电路的工艺与卷对卷运动平台相结合，使生产延性电路的效率得到极大地提高。

为实现上述目的，按照本发明的一个方面，提供了一种延性电路制作方法，采用“卷对卷”工艺，具体包括如下步骤：

S1：将导电层和第一辅助基底层合形成一体后制成卷材，将该卷材的一端作为初始进料放卷端，放卷后展开设定长度，

S2：在展开设定长度的卷材导电层上进行图案化，制备所需的电路结构，进行图案化的方法包括机械对辊擦除、模切、生物蚀刻、化学蚀刻或者激光图案化，

S3：将设置有基底的第一弹性体层作为进料端，送入对辊间，通过对辊压合和粘力差，将电路结构转印到第一弹性体层表面，再将第一辅助基底层作为废料收卷去除，

S4：将用第二辅助基底层承载的芯片输送到电路结构的相应位置处，使芯片和第一弹性体表面的电路结构对准，采用对辊压合，将芯片与电路结构组装在一起，再将第二辅助基底层作为废料收卷去除，获得延性电路

层半成品，

S5：将设置有第三辅助基底的第二弹性体层作为进料端，送入相应对辊间，通过对辊压合和粘力差，将第二弹性体层转印至延性电路层半成品表面，第二弹性体层用于延性电路层半成品的封装层，完成封装后，再将第三辅助基底作为废料收卷去除，获得延性电路。

上述过程只是一种典型的最基本的工艺流程，根据具体的延性电路结构需求可以将原料放卷和废料收卷过程、图案化过程、转印过程等进行组合，类似于电路的串联和并联等组合，比如若要制作多层电路层，则需要多次图案化、电路层间的中间弹性体层的转印、电路层间连接导体的转印等步骤。

进一步的，所述导电层选自导电金属薄膜和非金属材质的导电薄膜，所述导电金属薄膜包括铜箔、铝箔、金箔、银箔以及铁薄膜，所述非金属材质的导电薄膜包括硅材薄膜、导电聚合物薄膜、导电陶瓷以及导电水凝胶。原则上只要可以作为导体的材料均可，导电薄膜的厚度为 20 微米以下较优。

进一步的，所述第一、第二弹性体层可以是硅胶，比如常见的有聚二甲基硅氧烷（PDMS）或者己二酸丁二醇酯与对苯二甲酸丁二醇酯的共聚物（ECOFLEX）等，其具有较好的延展性、断裂伸长性等特点，也可以是热塑性聚氨酯（TPU）或者水凝胶等弹性体橡胶，所述弹性体层的厚度则根据所制作延性电路的具体用途确定即可。

进一步的，所述辅助基底层的表面可以增加一层粘结胶层，这是为了便于固定被承载物以及满足转印过程的粘力差的需求。

进一步的，为了保护芯片及弹性体在进入该工序前不受其他物体的碰撞等物理影响及保证性能可靠性，也可以在相应卷材的芯片或弹性体表面再增加一层保护层，即该卷材由辅助基层、芯片/弹性体、保护层三层组成，在进入相应工序前再增加一个剥离装置将保护层去掉；也可以将芯片

或弹性体直接通过机械臂等方式拾取放置到辅助基底上传送过来，从而避免进入卷材内部而被相邻层的辅助基底碰撞影响。同理，在工艺最后，为保护封装好的延性电路整体，也可以在其表面加一层类似的保护层再进入收卷环节，或者直接通过机械臂等方式拾取并放置到成品收集装置。

进一步的，所述辅助基底、基底或者保护层可以是聚对苯二甲酸类塑料（PET）、聚碳酸酯（PC）、聚乙烯（PE）、聚氯乙烯（PVC）、聚丙烯（PP）等薄膜。实质上，也不限于上述塑料薄膜，只要是具有一定的强度，能够承载被承载物，在实际工作中不发生变形的薄膜材料即可。

进一步的，所述步骤 S4 中，芯片和电路间的具体组装方式并不限定，比如采用导电胶连接或者焊接方式均可，工艺中则增加相应步骤，如在电路结构的芯片安装位置上预先施加导电胶或焊膏等辅助物质。

进一步的，还包括步骤 S6，步骤 S6 为：对封装好的延性电路整体进行后处理，最后收卷。所述步骤 S6 中的后处理可以是对延性电路整体的进一步强化，比如提高封装的可靠性和电路的稳定性，其他操作可以是直接将制作好的成品进行二次加工，比如将其固定在所需目标物体的二维表面或者三维表面。

进一步的，在整个工艺的适当步骤，如导电层和辅助基底层的层合、转印的进行、辅助基底层的分离、芯片的组装、保护层的剥离和层合等处，可以加入加热或冷却装置以辅助工艺的顺利进行。

总体而言，通过本发明所构思的以上技术方案与现有技术相比，能够取得下列有益效果：

将延性电路制作的全部工艺，包括基底层的放置、导电层的制作、导电层和基底层的粘合、芯片的安装、成品的收集等工艺步骤采用“卷对卷”的设计构思整合为一体，实现了延性电路制作的自动化，并且充分利用卷对卷方式的优点，实现延性电路制作的高效率。

## [附图说明]

图 1 是按照本发明方法实施例完成延性电路制作的放卷及层合的结构示意图；

图 2 是按照本发明方法实施例完成延性电路制作时的对延性电路整体加保护层及最后收卷的结构示意图；

图 3 的 (a)、(b) 是本发明实施例中两种不同的转印方式结构示意图；

图 4 是按照本发明方法实施例完成延性电路制作时一套完整的流程示意图。

在所有附图中，相同的附图标记用来表示相同的元件或结构，其中：

100 表示放料辊，200 表示对辊，300 表示收料辊，400 表示辅助辊，500 表示分离辊，600 表示图案化装置；a 为图案化后的导电层，b 为弹性体层，c 为芯片，d、e 分别为第一、第二半成品，f 为封装好的延性电路整体。

## [具体实施方式]

为了使本发明的目的、技术方案及优点更加清楚明白，以下结合附图及实施例，对本发明进行进一步详细说明。应当理解，此处所描述的具体实施例仅仅用以解释本发明，并不用于限定本发明。此外，下面所描述的本发明各个实施方式中所涉及到的技术特征只要彼此之间未构成冲突就可以相互组合。

图 1 是按照本发明方法实施例完成延性电路制作的放卷及层合的结构示意图，其中：两根放料辊 100 分别对导电层和辅助基层进行放料，对辊 200 完成二者的层合。

图 2 是按照本发明方法实施例完成延性电路制作时的对延性电路整体加保护层及最后收卷的结构示意图，即输送过来的封装好的延性电路整体法，首先利用对辊 200 对其加一层表面的保护层，保证其在收卷后能不受

其他基底的影响，之后再继续进行成品卷材的收卷。

图 3 的 (a)、(b) 是本发明实施例中两种不同的转印方式结构示意图，两种方式都是运用对辊机构实现转印，但是图 3 中 (a) 图代表转印前后，主体的基底发生改变，图 3 中 (b) 图代表转印前后，主体的基底没有改变，两种方式都对辅助基底都进行了回收，如图 3 中收料辊 300 用于对辅助基底进行回收。

在实际工程实践中，可根据具体的转印效果的需求，从被转印物和转印的受体开始接触到转印结束二者的分离，可以调整这段接触长度或者在中间增加对辊来提高转印的效果。如图 3 中 (a) 图中接触长度是从对辊 200 到分离辊 500，图 3 中 (b) 图中则只在对辊 200 处接触，也可以在图 3 中 (a) 图中对辊 200 和分离辊 500 之间再增加对辊来辅助转印。

结合以上收放卷以及转印方式，本发明方法提出一种利用卷对卷实现延性电路制作的完整流程示意图如图 4 所示，其包括以下步骤：

S1：将做成卷材的导电层和第一辅助基层分别通过两根放料辊 100 进行放卷，并通过层合机构 200 进行层合；

S2：对导电层进行图案化，即通过图案化的方法，如机械对辊擦除、模切、化学蚀刻、生物蚀刻、激光等方式对导电层选择性地制作图案，得到所需的导电层 a；

S3：将制作好的导电层 a 转印到带有基底的第一弹性体层 b 上，即先利用放料辊 100 对用基层承载的第一弹性体层 b 进行放卷，通过粘力差，将导电层 a 转印到第一弹性体层 b 表面，得到第一半成品 d，再将第一辅助基层作为废料通过收料辊 300 收卷；

S4：电路芯片的组装，即先利用放料辊 100 对用第二辅助基层承载的芯片 c 输送到第一弹性体层 b 表面的导电层 a 的相应位置附近，再辅以譬如机器视觉等方式进行对准组装，得到第二半成品 e，再将第二辅助基层作为废料通过收料辊 300 收卷；



S5: 延性电路的封装, 即先利用放料辊 100 对用第三辅助基底层承载的第二弹性体层 b 进行放料, 再次通过转印的方式, 将第二弹性体层 b 作为安装好芯片的延性电路半成品的顶层, 完成封装, 得到延性电路整体 f, 再将第三辅助基底层作为废料通过收料辊 300 收卷;

S6: 对封装好的延性电路整体 f 进行后处理和其他操作, 最后通过收料辊 300 进行最终收卷。

上述过程只是一种典型的最基本流程, 只是为了说明如何将图 1-图 3 的方式进行工艺连接。

在实际工程实践中, 可根据具体的延性电路结构需求将原料放卷和废料收卷过程、图案化过程、转印过程等进行组合, 类似于电路的串联和并联等组合, 比如若要制作多层电路层, 则需要多次图案化、电路层间的中间弹性体层的转印、电路层间连接导体的转印等步骤。

另外, 图 4 中也省略了一些比如牵引辊、纠偏结构、张力测量和控制等实际卷对卷工艺中必要的装置。

进一步的, 所述步骤 S4 中, 芯片和电路间的具体组装方式并不限定, 比如采用导电胶连接或者焊接方式均可, 工艺中则增加相应步骤, 如在电路结构的芯片安装位置上预先施加导电胶或焊膏等辅助物质。

进一步的, 所述步骤 S6 中的后处理可以是对延性电路整体的进一步强化, 比如提高封装的可靠性和电路的稳定性, 其他操作可以是直接将制作好的成品进行二次加工, 比如将其固定在所需目标物体的二维表面或者三维表面。

具体的, 所述导电层选自导电金属薄膜和非金属材质的导电薄膜, 所述导电金属薄膜包括铜箔、铝箔、金箔、银箔以及铁薄膜, 所述非金属材质的导电薄膜包括硅材薄膜、导电聚合物薄膜、导电陶瓷以及导电水凝胶。原则上只要可以作为导体的材料均可, 导电薄膜的厚度为 20 微米以下较优。原则上只要可以作为导体的材料均可。

所述弹性体层可以是硅胶，比如常见的有聚二甲基硅氧烷（PDMS）或者己二酸丁二醇酯与对苯二甲酸丁二醇酯的共聚物（ECOFLEX）等，具有较好的延展性、断裂伸长性等特点，也可以是热塑性聚氨酯（TPU）或者水凝胶等弹性体橡胶，所述弹性体层的厚度则根据所制作延性电路的具体用途确定即可；

所述辅助基底/基底/保护层可以是聚对苯二甲酸类塑料（PET）、聚碳酸酯（PC）、聚乙烯（PE）、聚氯乙烯（PVC）、聚丙烯（PP）等薄膜，实质上，也不限于上述塑料薄膜，只要是具有一定的强度，能够承载被承载物，在实际工作中不发生变形的薄膜材料即可，对于和导电层接触的还需要有绝缘特性。

本发明中，主要是利用转印来实现目标物体从一个物体表面转移到另一个物体表面的过程。转印是当一个目标物体同时和两个物体接触再分开时，由于目标物体和两侧物体间的粘力大小存在差异，会倾向粘附于粘力较大一侧物体上的一种工艺。本发明方法中，为了便于固定被承载物以及满足不同转印过程中粘力差的需求，所述辅助基底层的表面可以增加具有特定大小粘力的粘结胶层。

本发明中，为了保护芯片及弹性体在进入该工序前不受其他物体的碰撞等物理影响及保证性能可靠性，可以在相应卷材的芯片或弹性体表面再增加一层保护层，即该卷材由辅助基层、芯片/弹性体、保护层三层组成。在进入相应工序前再增加一个剥离装置将保护层去掉。也可以将芯片或弹性体直接通过机械臂等方式拾取放置到辅助基底上传送过来，从而避免进入卷材内部而被相邻层的辅助基底碰撞影响。同理，在工艺最后，为保护封装好的延性电路整体，也可以在其表面加一层类似的保护层再进入收卷环节，如图2中的放料辊100即是提供一层保护层来保护最终的电路，或者直接通过机械臂等方式拾取并放置到成品收集装置。

本发明中，在整个工艺的适当位置，如导电层和辅助基底层的层合、

转印的进行、辅助基底层的分离、芯片的组装、保护层的剥离和层合等处，可以加入加热或冷却装置以辅助工艺的顺利进行。

本发明中的“卷对卷运动平台”包括多对主动或者被动辊筒，或者说包括多对对辊，卷对卷英文名是 Roll to Roll，国内一般简称 R2R，主要是针对薄膜类材料加工的装置，通过辊筒的主动或被动转动，来实现对材料的一种高效、低成本的加工方式。有学者(Sukang Bae,Hyeongkeun Kim,Youngbin Lee, et al. Roll-to-roll production of 30-inch graphene films for transparent electrodes[J].Nature Nanotechnology, 2010, 5:5574-578. )利用这种方式来制作石墨烯电极，也有学者(Krebs F C, Gevorgyan S A, Alstrup J. A roll-to-roll process to flexible polymer solar cells: model studies, manufacture and operational stability studies[J]. Journal of Materials Chemistry, 2009, 19(30):5442-5451.)用来制作太阳能电池。

本领域的技术人员容易理解，以上所述仅为本发明的较佳实施例而已，并不用以限制本发明，凡在本发明的精神和原则之内所作的任何修改、等同替换和改进等，均应包含在本发明的保护范围之内。

## 权 利 要 求

1、一种延性电路制作方法，其特征在于，采用“卷对卷”工艺，具体包括如下步骤：

S1：将导电层和第一辅助基底层层合形成一体后制成卷材，将该卷材的一端作为初始进料放卷端，放卷后展开设定长度，

S2：在展开设定长度的卷材导电层上进行图案化，制备所需的电路结构，进行图案化的方法包括机械对辊擦除、模切、生物蚀刻、化学蚀刻或者激光图案化，

S3：将设置有基底的第一弹性体层作为进料端，送入对辊间，通过对辊压合和粘力差，将电路结构转印到第一弹性体层表面，再将第一辅助基底层作为废料收卷去除，

S4：将用第二辅助基底层承载的芯片输送到电路结构的相应位置处，使芯片和第一弹性体表面的电路结构对准，采用对辊压合，将芯片与电路结构组装在一起，再将第二辅助基底层作为废料收卷去除，获得延性电路层半成品，

S5：将设置有第三辅助基底的第二弹性体层作为进料端，送入相应对辊间，通过对辊压合和粘力差，将第二弹性体层转印至延性电路层半成品表面，第二弹性体层用于延性电路层半成品的封装层，完成封装后，再将第三辅助基底作为废料收卷去除，获得延性电路。

2、如权利要求 1 所述的延性电路制作方法，其特征在于，所述导电层选自导电金属薄膜和非金属材质的导电薄膜，

所述导电金属薄膜包括铜箔、铝箔、金箔、银箔以及铁薄膜，

所述非金属材质的导电薄膜包括硅材薄膜、导电聚合物薄膜、导电陶瓷以及导电水凝胶。

3、如权利要求 2 所述的延性电路制作方法，其特征在于，所述第一、第二弹性体层材质选自硅胶、热塑性聚氨酯和水凝胶。

4、如权利要求 3 所述的延性电路制作方法，其特征在于，所述第一、第二、第三辅助基底、所述基底材质均选自聚对苯二甲酸类塑料、聚碳酸酯、聚乙烯、聚氯乙烯和聚丙烯。

5、如权利要求 4 所述的延性电路制作方法，其特征在于，步骤 S4 中，在电路结构上设置导电胶或者焊膏，用于使电路结构和芯片牢固结合。

6、如权利要求 1 所述的延性电路制作方法，其特征在于，还包括步骤 S6：对封装好的延性电路整体进行后处理，最后收卷。

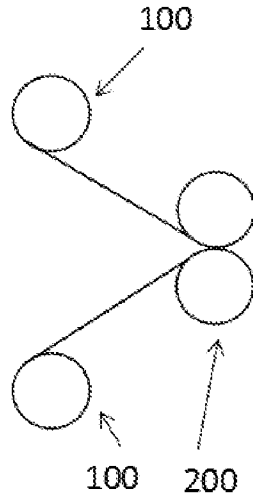


图 1

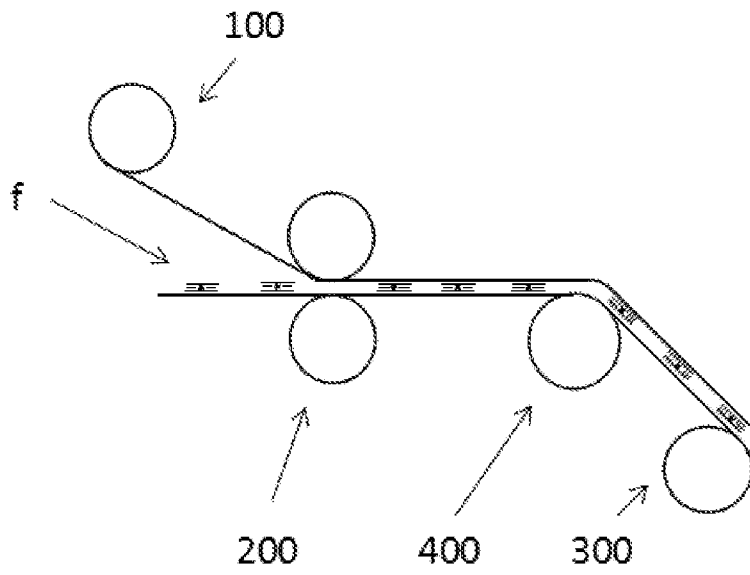
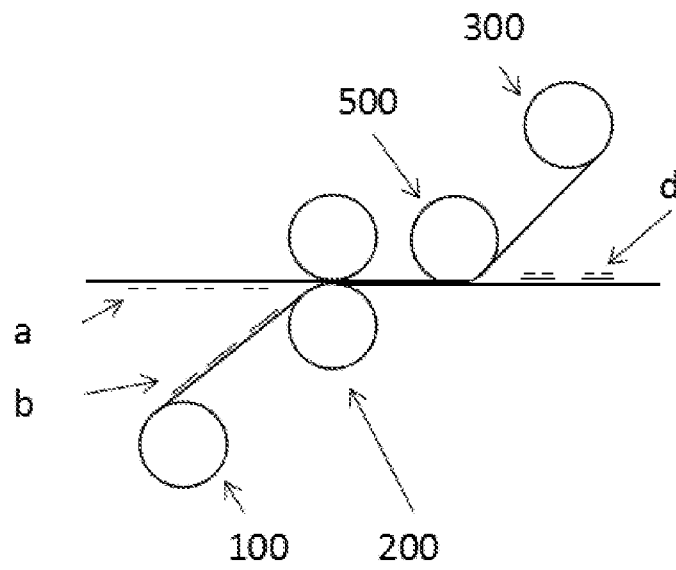
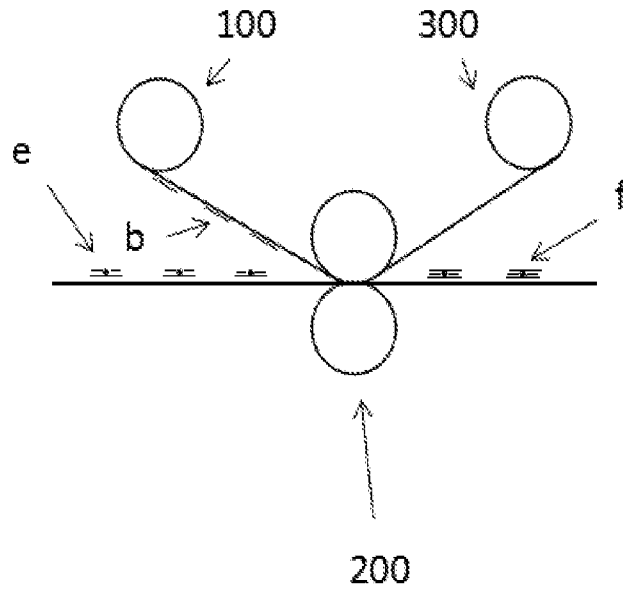


图 2



(a)



(b)

图 3

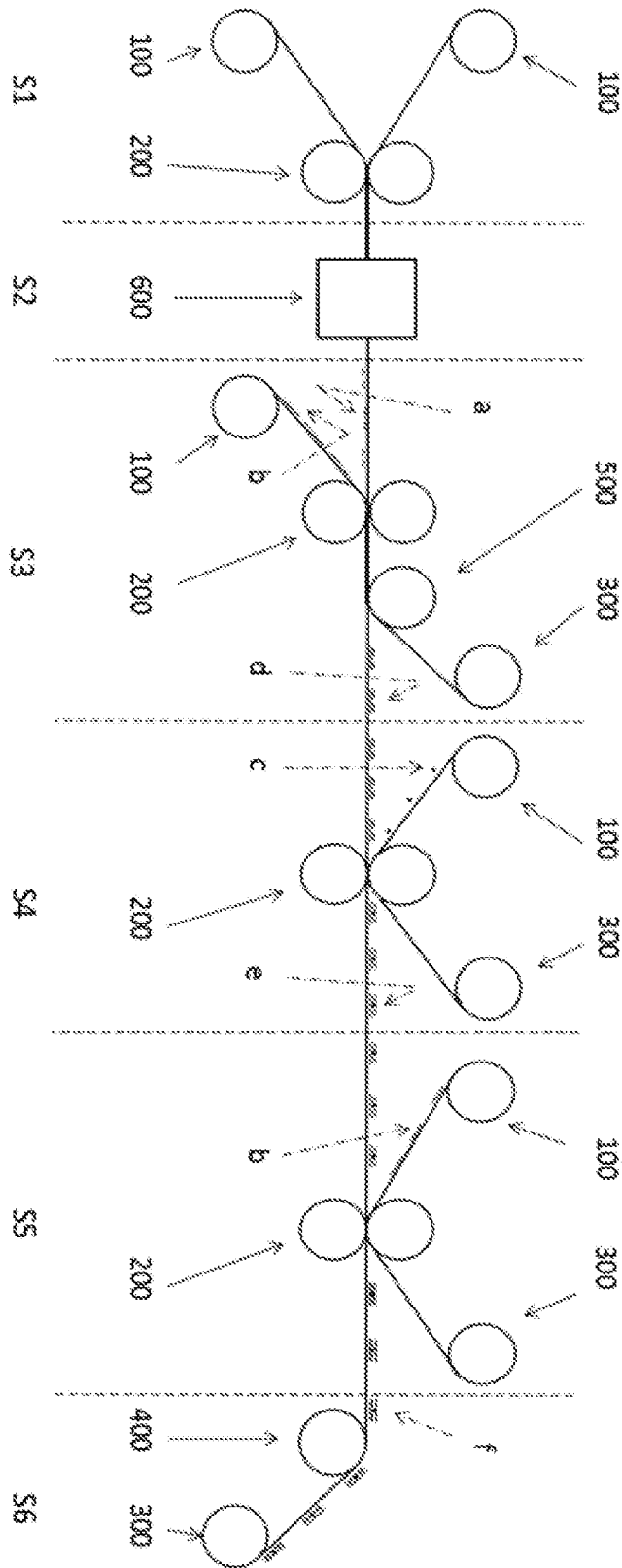


图 4



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2017/112770

## A. CLASSIFICATION OF SUBJECT MATTER

H05K 3/20 (2006.01) i; G06K 19/07 (2006.01) n

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H05K, H01L, G06K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNXTX, CNABS, DWPI, CNKI: 卷对卷, 辊对辊, 卷, 辊, 芯片, 管芯, 电路, 密封, 封装, 柔性, 弹性, 压, 图案, 图形, 转印, 转移, 导电, 对准, 剥, Roll to roll, roller, R2R, chip?, die?, packag+, encapsulat+, seal + , pattern+, flexible, press, transfer+, print+, conduct+, bond+, foil, peel, reel

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 107222974 A (HUAZHONG UNIVERSITY OF SCIENCE AND TECHNOLOGY), 29 September 2017 (29.09.2017), entire document	1-6
Y	US 2010075459 A1 (KERR et al.), 25 March 2010 (25.03.2010), description, paragraphs [0073]-[0088], and figures 5 and 6A-6D	1-6
Y	CN 101308953 A (TANG, Xianwei), 19 November 2008 (19.11.2008), description, page 7, paragraph 8 to page 11, paragraph 3, and figure 1	1-6
Y	CN 103140953 A (POSCO), 05 June 2013 (05.06.2013), description, paragraphs [0019]-[0081], and figures 1 and 4	1-6
A	CN 104718797 A (NITTO DENKO CORPORATION), 17 June 2015 (17.06.2015), entire document	1-6
A	CN 101002312 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.), 18 July 2007 (18.07.2007), entire document	1-6
A	US 2011047793 A1 (KLINK et al.), 03 March 2011 (03.03.2011), entire document	1-6

Further documents are listed in the continuation of Box C.       See patent family annex.

<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&amp;” document member of the same patent family</p>
---	---

<p>Date of the actual completion of the international search</p> <p style="text-align: center;">27 March 2018</p>	<p>Date of mailing of the international search report</p> <p style="text-align: center;">04 April 2018</p>
<p>Name and mailing address of the ISA</p> <p>State Intellectual Property Office of the P. R. China</p> <p>No. 6, Xitucheng Road, Jimenqiao</p> <p>Haidian District, Beijing 100088, China</p> <p>Facsimile No. (86-10) 62019451</p>	<p>Authorized officer</p> <p style="text-align: center;">CHE, Xiaolu</p> <p>Telephone No. (86-10) 62089965</p>

# INTERNATIONAL SEARCH REPORT

International application No.  
PCT/CN2017/112770

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 10178255 A (KYOCERA CORP.), 30 June 1998 (30.06.1998), entire document	1-6

**INTERNATIONAL SEARCH REPORT**  
Information on patent family members

International application No.  
PCT/CN2017/112770

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 107222974 A	29 September 2017	None	
US 2010075459 A1	25 March 2010	US 8361840 B2	29 January 2013
		EP 2329522 A2	08 June 2011
		WO 2010036307 A3	19 August 2010
		WO 2010036307 A2	01 April 2010
CN 101308953 A	19 November 2008	None	
CN 103140953 A	05 June 2013	JP 2013546156 A	26 December 2013
		EP 2595211 A2	22 May 2013
		EP 2595211 A4	16 July 2014
		CN 103140953 B	03 August 2016
		JP 5879343 B2	08 March 2016
		KR 101147988 B1	24 May 2012
		WO 2012008683 A2	19 January 2012
		US 2013105203 A1	02 May 2013
		KR 20120006844 A	19 January 2012
		WO 2012008683 A3	03 May 2012
		JP 2014075253 A	24 April 2014
		EP 2906023 A4	18 November 2015
		US 2015255746 A1	10 September 2015
CN 104718797 A	17 June 2015	EP 2906023 A1	12 August 2015
		WO 2014054622 A1	10 April 2014
		KR 20150064019 A	10 June 2015
		TW 201419619 A	16 May 2014
		KR 101254277 B1	15 April 2013
		KR 20070046855 A	03 May 2007
		WO 2006011665 A1	02 February 2006
		CN 100530575 C	19 August 2009
		US 9053401 B2	09 June 2015
		US 2008042168 A1	21 February 2008
CN 101002312 A	18 July 2007	JP 2006066899 A	09 March 2006
		JP 4749074 B2	17 August 2011
		US 2015287660 A1	08 October 2015
		US 2011047793 A1	03 March 2011
		US 8198135 B2	12 June 2012
		US 2008076209 A1	27 March 2008
		DE 102006044525 B3	31 January 2008
JP 10178255 A	30 June 1998	JP 3495211 B2	09 February 2004

<p><b>A. 主题的分类</b></p> <p>H05K 3/20(2006.01)i; G06K 19/07(2006.01)n</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																										
<p><b>B. 检索领域</b></p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>H05K, H01L, G06K</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>CNXTX;CNABS;DWPI;CNKI:卷对卷, 辊对辊, 卷, 辊, 芯片, 管芯, 电路, 密封, 封装, 柔性, 弹性, 压, 图案, 图形, 转印, 转移, 导电, 对准, 剥, Roll to roll, roller, R2R, chip?, die?, packag+, encapsulat+, seal+, pattern+, flexible, press, transfer+, print+, conduct+, bond+, foil, peel, reel</p>																										
<p><b>C. 相关文件</b></p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>PX</td> <td>CN 107222974 A (华中科技大学) 2017年 9月 29日 (2017 - 09 - 29) 全文</td> <td>1-6</td> </tr> <tr> <td>Y</td> <td>US 2010075459 A1 (KERR 等) 2010年 3月 25日 (2010 - 03 - 25) 说明书第[0073]-[0088]段, 附图5、6A-6D</td> <td>1-6</td> </tr> <tr> <td>Y</td> <td>CN 101308953 A (汤献维) 2008年 11月 19日 (2008 - 11 - 19) 说明书第7页第8段到第11页第3段, 附图1</td> <td>1-6</td> </tr> <tr> <td>Y</td> <td>CN 103140953 A (POSCO公司) 2013年 6月 5日 (2013 - 06 - 05) 说明书第[0019]-[0081]段, 附图1, 4</td> <td>1-6</td> </tr> <tr> <td>A</td> <td>CN 104718797 A (日东电工株式会社) 2015年 6月 17日 (2015 - 06 - 17) 全文</td> <td>1-6</td> </tr> <tr> <td>A</td> <td>CN 101002312 A (株式会社半导体能源研究所) 2007年 7月 18日 (2007 - 07 - 18) 全文</td> <td>1-6</td> </tr> <tr> <td>A</td> <td>US 2011047793 A1 (KLINK 等) 2011年 3月 3日 (2011 - 03 - 03) 全文</td> <td>1-6</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	PX	CN 107222974 A (华中科技大学) 2017年 9月 29日 (2017 - 09 - 29) 全文	1-6	Y	US 2010075459 A1 (KERR 等) 2010年 3月 25日 (2010 - 03 - 25) 说明书第[0073]-[0088]段, 附图5、6A-6D	1-6	Y	CN 101308953 A (汤献维) 2008年 11月 19日 (2008 - 11 - 19) 说明书第7页第8段到第11页第3段, 附图1	1-6	Y	CN 103140953 A (POSCO公司) 2013年 6月 5日 (2013 - 06 - 05) 说明书第[0019]-[0081]段, 附图1, 4	1-6	A	CN 104718797 A (日东电工株式会社) 2015年 6月 17日 (2015 - 06 - 17) 全文	1-6	A	CN 101002312 A (株式会社半导体能源研究所) 2007年 7月 18日 (2007 - 07 - 18) 全文	1-6	A	US 2011047793 A1 (KLINK 等) 2011年 3月 3日 (2011 - 03 - 03) 全文	1-6
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																								
PX	CN 107222974 A (华中科技大学) 2017年 9月 29日 (2017 - 09 - 29) 全文	1-6																								
Y	US 2010075459 A1 (KERR 等) 2010年 3月 25日 (2010 - 03 - 25) 说明书第[0073]-[0088]段, 附图5、6A-6D	1-6																								
Y	CN 101308953 A (汤献维) 2008年 11月 19日 (2008 - 11 - 19) 说明书第7页第8段到第11页第3段, 附图1	1-6																								
Y	CN 103140953 A (POSCO公司) 2013年 6月 5日 (2013 - 06 - 05) 说明书第[0019]-[0081]段, 附图1, 4	1-6																								
A	CN 104718797 A (日东电工株式会社) 2015年 6月 17日 (2015 - 06 - 17) 全文	1-6																								
A	CN 101002312 A (株式会社半导体能源研究所) 2007年 7月 18日 (2007 - 07 - 18) 全文	1-6																								
A	US 2011047793 A1 (KLINK 等) 2011年 3月 3日 (2011 - 03 - 03) 全文	1-6																								
<p><input checked="" type="checkbox"/> 其余文件在C栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。</p>																										
<p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&amp;” 同族专利的文件</p>																										
<p>国际检索实际完成的日期</p> <p>2018年 3月 27日</p>		<p>国际检索报告邮寄日期</p> <p>2018年 4月 4日</p>																								
<p>ISA/CN的名称和邮寄地址</p> <p>中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088</p> <p>传真号 (86-10)62019451</p>		<p>受权官员</p> <p>车晓璐</p> <p>电话号码 (86-10)62089965</p>																								

C. 相关文件		
类型*	引用文件，必要时，指明相关段落	相关的权利要求
A	JP 10178255 A (KYOCERA CORP) 1998年 6月 30日 (1998 - 06 - 30) 全文	1-6

国际检索报告  
关于同族专利的信息

国际申请号

PCT/CN2017/112770

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	107222974	A	2017年 9月 29日	无	
US	2010075459	A1	2010年 3月 25日	US	8361840 B2 2013年 1月 29日
				EP	2329522 A2 2011年 6月 8日
				WO	2010036307 A3 2010年 8月 19日
				WO	2010036307 A2 2010年 4月 1日
CN	101308953	A	2008年 11月 19日	无	
CN	103140953	A	2013年 6月 5日	JP	2013546156 A 2013年 12月 26日
				EP	2595211 A2 2013年 5月 22日
				EP	2595211 A4 2014年 7月 16日
				CN	103140953 B 2016年 8月 3日
				JP	5879343 B2 2016年 3月 8日
				KR	101147988 B1 2012年 5月 24日
				WO	2012008683 A2 2012年 1月 19日
				US	2013105203 A1 2013年 5月 2日
				KR	20120006844 A 2012年 1月 19日
				WO	2012008683 A3 2012年 5月 3日
CN	104718797	A	2015年 6月 17日	JP	2014075253 A 2014年 4月 24日
				EP	2906023 A4 2015年 11月 18日
				US	2015255746 A1 2015年 9月 10日
				EP	2906023 A1 2015年 8月 12日
				WO	2014054622 A1 2014年 4月 10日
				KR	20150064019 A 2015年 6月 10日
				TW	201419619 A 2014年 5月 16日
CN	101002312	A	2007年 7月 18日	KR	101254277 B1 2013年 4月 15日
				KR	20070046855 A 2007年 5月 3日
				WO	2006011665 A1 2006年 2月 2日
				CN	100530575 C 2009年 8月 19日
				US	9053401 B2 2015年 6月 9日
				US	2008042168 A1 2008年 2月 21日
				JP	2006066899 A 2006年 3月 9日
				JP	4749074 B2 2011年 8月 17日
				US	2015287660 A1 2015年 10月 8日
US	2011047793	A1	2011年 3月 3日	US	8198135 B2 2012年 6月 12日
				US	2008076209 A1 2008年 3月 27日
				DE	102006044525 B3 2008年 1月 31日
JP	10178255	A	1998年 6月 30日	JP	3495211 B2 2004年 2月 9日