

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年10月4日(04.10.2018)



(10) 国際公開番号

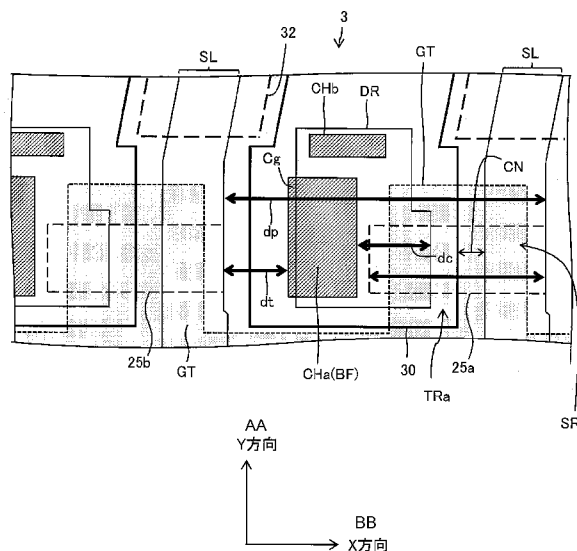
WO 2018/181142 A1

- (51) 国際特許分類:
G02F 1/1368 (2006.01) G09F 9/30 (2006.01)
- (21) 国際出願番号: PCT/JP2018/012061
- (22) 国際出願日: 2018年3月26日(26.03.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2017-071773 2017年3月31日(31.03.2017) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5908522 大阪府堺市堺区匠町1番地 Osaka (JP).
- (72) 発明者: 北川 英樹 (KITAGAWA, Hideki). 今井 元 (IMAI, Hajime). 伊藤 俊克 (ITO, Toshikatsu). 菊池 哲郎 (KIKUCHI, Tetsuo). 鈴木 正彦 (SUZUKI, Masahiko). 上田 輝幸 (UEDA, Teruyuki). 原 健吾 (HARA, Kengo). 西宮 節治 (NISHIMIYA, Setsuji). 大東 徹 (DAITOH, Tohru).
- (74) 代理人: 特許業務法人 H A R A K E N Z O W O R L D P A T E N T & T R A D E M A R K (HARAKENZO WORLD PATENT & TRADEMARK); 〒5300041 大阪府大阪市北区天神橋2丁目北2番6号 大和南森町ビル Osaka (JP).

(54) Title: ACTIVE MATRIX SUBSTRATE AND LIQUID CRYSTAL DISPLAY DEVICE

(54) 発明の名称: アクティブマトリクス基板、液晶表示装置

図 2



AA Y direction
BB X direction

(57) Abstract: The present invention provides a highly precise active matrix substrate while suppressing occurrence of a pixel defect. This active matrix substrate is provided with: a first semiconductor film corresponding to one of two sub-pixels adjacent to each other in a row direction; a second semiconductor film corresponding to the other; a transistor using part of the first semiconductor film as a channel in the row direction; and a pixel electrode connected to a drain electrode of the transistor via a contact hole, wherein in plan view, a distance (dc) in the row direction from the drain



WO 2018/181142 A1

- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

- 一 国際調査報告 (条約第21条(3))

electrode-side edge of the channel to the bottom surface of the contract hole is greater than or equal to 0.15 times a sub-pixel pitch (dp) in the row direction.

(57) 要約: 画素欠陥の発生を抑えつつ、高精細なアクティブマトリクス基板を提供する。行方向に隣り合う2つのサブ画素の一方に対応する第1半導体膜と、他方に対応する第2半導体膜と、前記第1半導体膜の一部を行方向のチャンネルとするトランジスタと、コンタクトホールを介して前記トランジスタのドレイン電極に接続する画素電極とを備え、平面視においては、前記チャンネルのドレイン電極側エッジから前記コンタクトホールの底面に到るまでの行方向の距離 (dc) が、行方向のサブ画素ピッチ (dp) の0.15倍以上である。

明 細 書

発明の名称：アクティブマトリクス基板、液晶表示装置

技術分野

[0001] 本発明は、アクティブマトリクス基板に関する。

背景技術

[0002] 特許文献1には、TFTと、画素電極と、スリットを有する共通電極とを備え、画素電極とTFTのドレイン電極とがコンタクトホールで接続されている液晶表示装置が開示されている。

先行技術文献

特許文献

[0003] 特許文献1：日本国公開特許公報「特開2010-8758号公報（2010年1月14日公開）」

発明の概要

発明が解決しようとする課題

[0004] 高精細化のためにTFTとコンタクトホールとの距離を縮めると画素欠陥が増えるという問題がある。

課題を解決するための手段

[0005] 本発明の一態様に係るアクティブマトリクス基板は、行方向に隣り合う2つのサブ画素の一方に対応する第1半導体膜と、他方に対応する第2半導体膜と、前記第1半導体膜の一部を行方向のチャンネルとするトランジスタと、コンタクトホールを介して前記トランジスタのドレイン電極に接続する画素電極とを備え、平面視においては、前記チャンネルのドレイン電極側エッジから前記コンタクトホールの底面に到るまでの行方向の距離が、行方向のサブ画素ピッチの0.15倍以上である。

発明の効果

[0006] 本発明の一態様に係るアクティブマトリクス基板によれば、画素欠陥の発

生を抑えながら高精細化が可能となる。

図面の簡単な説明

[0007] [図1]本実施形態にかかる表示装置の構成を示すものであり、(a)は全体構成を示す断面模式図、(b)は全体構成を示す平面模式図、(c)は表示部の画素回路を示す回路図である。

[図2]実施形態1にかかる表示パネルの構成を示す平面図である。

[図3]実施形態1にかかる表示パネルの構成を示す断面図である。

[図4]実施形態1にかかる画素電極および共通電極の構成を示す平面図である。

[図5]実施形態1のコンタクトホールの位置を示す断面である。

[図6]図5のコンタクトホールと画素欠陥の発生数の関係を示すグラフである。

[図7]実施形態2の構成を示す断面図である。

発明を実施するための形態

[0008] 以下に、図1～図7に基づき、本発明の実施形態を説明する。ただし、これら実施形態は例示に過ぎない。

[0009] 図1は本実施形態にかかる表示装置の構成を示すものであり、(a)は全体構成を示す断面模式図、(b)は全体構成を示す平面模式図、(c)は表示部の画素回路を示す回路図である。

[0010] 図1に示すように、本実施形態にかかる液晶表示装置10は、バックライト2と、アクティブマトリクス基板3、液晶層4およびカラーフィルタ基板5を含む液晶パネル6と、光学フィルム7とを備える。

[0011] アクティブマトリクス基板3の表示部3pには、画素電極30、トランジスタTR、データ信号線SLおよび走査信号線GLが含まれ、画素回路3gでは、画素電極30は、トランジスタTRを介してデータ信号線SLおよび走査信号線GLに接続される。アクティブマトリクス基板3は、画素電極30と対向する共通電極(図示しない)を含むFFS(Fringe-Field Switching)方式であり、この共通電極を用いてインセルタッチセンサが構成されている。

る。

[0012] アクティブマトリクス基板3の非表示部（非アクティブ部）3qには、走査信号線GLを駆動するゲートドライバ（駆動回路）GDと、データ信号線SLを駆動するソースドライバを含むICチップTpとが設けられる。なお、ゲートドライバGDおよび画素回路3gは同一基板3sにモノリシックに形成されていてもよい。

[0013] 図2は実施形態1にかかる表示パネルの構成を示す平面図であり、図3は実施形態1にかかる表示パネルの構成を示す断面図である。

[0014] アクティブマトリクス基板3は、行方向に隣り合う2つのサブ画素の一方に対応する第1半導体膜25aと、他方に対応する第2半導体膜25bと、第1半導体膜25aの一部を行方向のチャネルとするトランジスタTRaと、コンタクトホールCHaを介してトランジスタTRaのドレイン電極DRに接続する画素電極30とを備える。

[0015] トランジスタTRaはボトムゲート構造であり、そのゲート電極GTは、ガラス基板GK上に、例えばチタン（Ti）及び銅（Cu）の積層膜により形成されている。ゲート電極GTは走査信号線GLの一部である。

[0016] ゲート絶縁膜24は、ゲート電極GTを覆うように形成されている。ゲート絶縁膜GTは、例えば窒化ケイ素（SiNx）や二酸化ケイ素（SiO2）からなる。

[0017] ゲート絶縁膜24の上層には、第1半導体膜25aおよび第2半導体膜25bが形成されている。第1半導体膜25aおよび第2半導体膜25bは、例えば酸化物半導体膜であり、In、Ga及びZnのうち少なくとも1種の金属元素を含んでいてもよい。本実施形態では、第1半導体膜25aおよび第2半導体膜25bは、例えば、In-Ga-Zn-O系の半導体を含む。ここで、In-Ga-Zn-O系の半導体は、In（インジウム）、Ga（ガリウム）、Zn（亜鉛）の三元系酸化物であって、In、Ga及びZnの割合（組成比）は特に限定されず、例えばIn:Ga:Zn=2:2:1、In:Ga:Zn=1:1:1、In:Ga:Zn=1:1:2等を含む。

- [0018] トランジスタTRaのソース電極SR及びドレイン電極DRは、第1半導体膜25a上に、互いに離間するように、例えばチタン(Ti)及び銅(Cu)の積層膜により形成されている。なお、ソース電極SRはデータ信号線SLの一部である。
- [0019] 無機絶縁膜27は、ソース電極SR及びドレイン電極DRを覆うように、例えば窒化ケイ素(SiNx)や二酸化ケイ素(SiO₂)により形成されている。無機絶縁膜27上には、有機絶縁膜である平坦化膜28が、例えばポリメタクリル酸メチル樹脂(PMMA)等のアクリル系樹脂材料により形成される。
- [0020] 平坦化膜28上には、無機絶縁膜29を介して画素電極30が形成されている。また、画素電極30上には、無機絶縁膜31を介して共通電極32が形成されている。画素電極30および共通電極32は透明電極であって、例えばITO(Indium Tin Oxide)、ZnO(Zinc Oxide)、IZO(Indium Zinc Oxide)、IGZO(Indium Gallium Zinc Oxide)、ITZO(Indium Tin Zinc Oxide)等の材料からなる。
- [0021] 無機絶縁膜27、平坦化膜28および無機絶縁膜29によって層間絶縁膜SZが構成され、層間絶縁膜SZを貫通する2つのコンタクトホールCHa・CHbによってドレイン電極DRと画素電極30とが接続されている。
- [0022] [実施形態1]
- 図2は、実施形態1にかかる表示パネルの構成を示す平面図である。図3は、実施形態1にかかる表示パネルの構成を示す断面図である。なお、図2、図3は、5型のフルHD液晶パネル(画素密度が441ppi)を示している。
- [0023] 実施形態1では、平面視における、トランジスタTRaのチャンネルCNのドレイン電極側エッジCeからコンタクトホールCHaの底面BFに到るまでの行方向(図中X方向)の距離dcを、行方向のサブ画素ピッチdp(例えば、19.2μm)の0.154倍(例えば、2.96μm)以上とする。図2・図3では、より好ましい構成として、0.234倍(例えば、dc

= 4.49 μm) としている。

[0024] 層間絶縁膜SZを貫通するコンタクトホールCHaは、底側（ガラス基板側）に向けて先細となる（開口面よりも底面が小さい）順テーパ形状である。距離dcは、層間絶縁膜SZの厚み（例えば、2.8 μm ）の1.2倍以上であり、図2・図3では、より好ましい構成として、1.6倍としている。

[0025] 第1半導体膜25aの行方向の長さは、画素ピッチの0.45倍以上とする。図2・図3では、より好ましい構成として、0.55倍（例えば、10.6 μm ）としている。また、第1および第2半導体膜25a・25bが、サブ画素ピッチdpの0.48倍未満の間隙をおいて行方向に並んでいる。図2・図3では、より好ましい構成として、0.45倍（例えば、8.6 μm ）としている。

[0026] コンタクトホールCHaの底面BFの行方向の幅は、サブ画素ピッチdpの0.21倍以上である。図2・図3では、より好ましい構成として、0.24倍（例えば、4.6 μm ）としている。

[0027] 第2半導体膜25bとコンタクトホールCHaの底面BFとの行方向の間隙dtが、サブ画素ピッチdpの0.19倍未満である。図2・図3では、より好ましい構成として、0.18倍（例えば、3.5 μm ）としている。

[0028] ドレイン電極DRの行方向の幅は、サブ画素ピッチdpの0.38倍以上である。図2・図3では、より好ましい構成として、0.42倍（例えば、8.1 μm ）としている。

[0029] 画素電極の行方向の幅が、サブ画素ピッチdpの0.68倍以上である。図2・図3では、より好ましい構成として、0.72倍（例えば、13.8 μm ）としている。

[0030] データ信号線SLの幅が画素ピッチdpの0.16倍以上である。図2・図3では、より好ましい構成として、0.19倍（例えば、3.6 μm ）としている。

[0031] コンタクトホールCHaの底面BFの一部Cg（第2半導体膜25b側の

Y方向に沿う端部)がドレイン電極DRと重ならない。

[0032] 図4は、実施形態1にかかる画素電極および共通電極の構成を示す平面図である。図4に示すように、画素電極30および共通電極32は無機絶縁膜31を介して対向し、共通電極32にはスリット32sが形成されている(FFS方式)。

[0033] 図5はコンタクトホール10の位置(底面の位置)を示す断面であり、図6は、図5のコンタクトホール10の位置と画素欠陥の発生数の関係を示すグラフである。図5(a)・図6に示すように、高精細化のためにトランジスタとコンタクトホールとの距離を縮めると画素欠陥が増えることがわかる。そして、 $d_p = 2.75 \mu\text{m}$ では画素欠陥の発生数が高いが、 $d_p = 2.96 \mu\text{m}$ では画素欠陥の発生数がかなり低下し、図5(b)のように $d_p = 4.5 \mu\text{m}$ とすると、発生数がほぼ0になることがわかる。すなわち、アクティブマトリクス基板3を図2および図3のように構成することで、画素欠陥の発生を抑えながら高精細化が可能となる。

[0034] [実施形態2]

実施形態2のアクティブマトリクス基板は、画素毎にTFE(画素用TFE)を備えている。画素用TFEとしては、例えばIn-Ga-Zn-O系の半導体膜を活性層とする酸化物半導体TFEが用いられる。

[0035] 画素用TFEと同一基板上に、周辺駆動回路の一部または全体を一体的に形成することもある。このようなアクティブマトリクス基板は、ドライバモノリシックのアクティブマトリクス基板と呼ばれる。ドライバモノリシックのアクティブマトリクス基板では、周辺駆動回路は、複数の画素を含む領域(表示領域)以外の領域(非表示領域または額縁領域)に設けられる。周辺駆動回路を構成するTFE(回路用TFE)は、例えば、多結晶シリコン膜を活性層とした結晶質シリコンTFEが用いられる。このように、画素用TFEとして酸化物半導体TFEを用い、回路用TFEとして結晶質シリコンTFEを用いると、表示領域では消費電力を低くすることが可能となり、さらに、額縁領域を小さくすることが可能となる。

[0036] 図7は、実施形態2のアクティブマトリクス基板の構成を示す断面図である。図7に示すように、アクティブマトリクス基板300において、駆動回路形成領域101には回路用TFTとして薄膜トランジスタ10Aが形成され、表示領域102の各画素には画素用TFTとして薄膜トランジスタ10Bが形成されている。

[0037] アクティブマトリクス基板300は、基板11と、基板11の表面に形成された下地膜12と、下地膜12上に形成された薄膜トランジスタ10Aと、下地膜12上に形成された薄膜トランジスタ10Bとを備えている。薄膜トランジスタ10Aは、結晶質シリコンを主として含む活性領域を有している。薄膜トランジスタ10Bは、酸化物半導体を主として含む活性領域を有している。

[0038] 薄膜トランジスタ10Aおよび薄膜トランジスタ10Bは、基板11に一体的に作り込まれている。ここでいう「活性領域」とは、TFTの活性層となる半導体層のうちチャネルが形成される領域を指すものとする。

[0039] 薄膜トランジスタ10Aは、下地膜12上に形成された結晶質シリコン半導体層（例えば低温ポリシリコン層）13と、結晶質シリコン半導体層13を覆う第1の絶縁層14と、第1の絶縁層14上に設けられたゲート電極15Aとを有している。第1の絶縁層14のうち結晶質シリコン半導体層13とゲート電極15Aとの間に位置する部分は、薄膜トランジスタ10Aのゲート絶縁膜として機能する。結晶質シリコン半導体層13は、チャネルが形成される領域（活性領域）13cと、活性領域の両側にそれぞれ位置するソース領域13sおよびドレイン領域13dとを有している。

[0040] この例では、結晶質シリコン半導体層13のうち、第1の絶縁層14を介してゲート電極15Aと重なる部分が活性領域13cとなる。薄膜トランジスタ10Aは、また、ソース領域13sおよびドレイン領域13dにそれぞれ接続されたソース電極18sAおよびドレイン電極18dAを有している。ソースおよびドレイン電極18sA、18dAは、ゲート電極15Aおよび結晶質シリコン半導体層13を覆う絶縁膜（ここでは、第2の絶縁層16

) 上に設けられ、絶縁膜に形成されたコンタクトホール内で結晶質シリコン半導体層 13 と接続されていてもよい。

[0041] 薄膜トランジスタ 10B は、下地膜 12 上に設けられたゲート電極 15B と、ゲート電極 15B を覆う第 2 の絶縁層 16 と、第 2 の絶縁層 16 上に配置された酸化物半導体層 17 (第 1 半導体膜) とを有している。

[0042] 図 7 に示すように、薄膜トランジスタ 10A のゲート絶縁膜である第 1 の絶縁層 14 が、薄膜トランジスタ 10B を形成しようとする領域まで延設されていてもよい。この場合には、酸化物半導体層 17 は、第 1 の絶縁層 14 上に形成されていてもよい。第 2 の絶縁層 16 のうちゲート電極 15B と酸化物半導体層 17 との間に位置する部分は、薄膜トランジスタ 10B のゲート絶縁膜として機能する。

[0043] 酸化物半導体層 17 は、チャネルが形成される領域 (活性領域) 17c と、活性領域の両側にそれぞれ位置するソースコンタクト領域 17s およびドレインコンタクト領域 17d とを有している。この例では、酸化物半導体層 17 のうち、第 2 の絶縁層 16 を介してゲート電極 15B と重なる部分が活性領域 17c となる。また、薄膜トランジスタ 10B は、ソースコンタクト領域 17s およびドレインコンタクト領域 17d にそれぞれ接続されたソース電極 18sB およびドレイン電極 18dB をさらに有している。なお、基板 11 上に下地膜 12 を設けない構成も可能である。

[0044] これらの薄膜トランジスタ 10A、10B は、パッシベーション膜 19 および平坦化膜 20 で覆われている。画素用 TFT として機能する薄膜トランジスタ 10B では、ゲート電極 15B はゲートバスライン (図示せず)、ソース電極 18sB はソースバスライン (図示せず)、ドレイン電極 18dB は画素電極 23 に接続されている。この例では、ドレイン電極 18dB は、パッシベーション膜 19 および平坦化膜 20 に形成されたコンタクトホール CH 内で、対応する画素電極 23 と接続されている。ソース電極 18sB にはソースバスラインを介してビデオ信号が供給され、ゲートバスラインからのゲート信号に基づいて画素電極 23 に必要な電荷が書き込まれる。

- [0045] 実施形態2でも、平面視における、トランジスタ10Bのチャンネルのドレイン電極側エッジCeからコンタクトホールCHの底面に到るまでの行方向（図中横方向）の距離dcを、行方向のサブ画素ピッチの0.154倍以上、より好ましくは、0.234倍とする。
- [0046] なお、図示するように、平坦化膜20上にコモン電極として透明導電層21が形成され、透明導電層（コモン電極）21と画素電極23との間に第3の絶縁層22が形成されていてもよい。この場合、画素電極23にスリット状の開口が設けられていてもよい。このようなアクティブマトリクス基板300は、例えばFFS（Fringe Field Switching）モードの表示装置に適用され得る。FFSモードは、一方の基板に一对の電極を設けて、液晶分子に、基板面に平行な方向（横方向）に電界を印加する横方向電界方式のモードである。
- [0047] この例では、画素電極23から出て液晶層（図示せず）を通り、さらに画素電極23のスリット状の開口を通過してコモン電極21に出る電気力線で表される電界が生成される。この電界は、液晶層に対して横方向の成分を有している。その結果、横方向の電界を液晶層に印加することができる。横方向電界方式では、基板から液晶分子が立ち上がらないため、縦方向電界方式よりも広視野角を実現できるという利点がある。
- [0048] 図示する例では、薄膜トランジスタ10Aは、ゲート電極15Aと基板11（下地膜12）との間に結晶質シリコン半導体層13が配置されたトップゲート構造を有している。一方、薄膜トランジスタ10Bは、酸化物半導体層17と基板11（下地膜12）との間にゲート電極15Bが配置されたボトムゲート構造を有している。このような構造を採用することにより、同一基板11上に、2種類の薄膜トランジスタ10A、10Bを一体的に形成する際に、製造工程数や製造コストの増加をより効果的に抑えることが可能である。
- [0049] 薄膜トランジスタ10Aおよび薄膜トランジスタ10BのTFT構造は上記に限定されない。例えば、これらの薄膜トランジスタ10A、10Bが同

じTFT構造を有していてもよい。あるいは、薄膜トランジスタ10Aがボトムゲート構造、薄膜トランジスタ10Bがトップゲート構造を有していてもよい。また、ボトムゲート構造の場合、薄膜トランジスタ10Aのようにチャネルエッチ型でも良いし、エッチストップ型でも良い。また、ソース電極及びドレイン電極が半導体層の下方に位置するボトムコンタクト型でも良い。

[0050] 薄膜トランジスタ10Bのゲート絶縁膜である第2の絶縁層16は、薄膜トランジスタ10Aが形成される領域まで延設され、薄膜トランジスタ10Aのゲート電極15Aおよび結晶質シリコン半導体層13を覆う層間絶縁膜として機能してもよい。このように薄膜トランジスタ10Aの層間絶縁膜と薄膜トランジスタ10Bのゲート絶縁膜とが同一の層（第2の絶縁層）16内に形成されている場合、第2の絶縁層16は積層構造を有していてもよい。

[0051] 薄膜トランジスタ10Aのゲート電極15Aと、薄膜トランジスタ10Bのゲート電極15Bとは、同一層内に形成されていてもよい。また、薄膜トランジスタ10Aのソースおよびドレイン電極18sA、18dAと、薄膜トランジスタ10Bのソースおよびドレイン電極18sB、18dBとは、同一の層内に形成されていてもよい。「同一層内に形成されている」とは、同一の膜（導電膜）を用いて形成されていることをいう。これにより、製造工程数および製造コストの増加を抑制できる。

[0052] 実施形態2における酸化物半導体層17は、例えばIn-Ga-Zn-O系の半導体（以下、「In-Ga-Zn-O系半導体」と称する。）を含む。ここで、In-Ga-Zn-O系半導体は、In（インジウム）、Ga（ガリウム）、Zn（亜鉛）の三元系酸化物であって、In、GaおよびZnの割合（組成比）は特に限定されず、例えばIn:Ga:Zn=2:2:1、In:Ga:Zn=1:1:1、In:Ga:Zn=1:1:2等を含む。

[0053] In-Ga-Zn-O系の半導体は、アモルファスでもよいし、結晶質で

もよい。結晶質 In-Ga-Zn-O 系の半導体としては、 c 軸が層面に概ね垂直に配向した結晶質 In-Ga-Zn-O 系の半導体が好ましい。このような In-Ga-Zn-O 系半導体の結晶構造は、例えば、特開 2012-134475 号公報に開示されている。参考のために、特開 2012-134475 号公報の開示内容の全てを本明細書に援用する。

[0054] 酸化物半導体層 17 は、 In-Ga-Zn-O 系半導体の代わりに、他の酸化物半導体を含んでいてもよい。例えば Zn-O 系半導体 (ZnO)、 In-Zn-O 系半導体、 Zn-Ti-O 系半導体 (ZTO)、 Cd-Ge-O 系半導体、 Cd-Pb-O 系半導体、 CdO (酸化カドニウム)、 Mg-Zn-O 系半導体、 In-Sn-Zn-O 系半導体 (例えば $\text{In}_2\text{O}_3\text{-SnO}_2\text{-ZnO}$)、 In-Ga-Sn-O 系半導体などを含んでいてもよい。

[0055] [まとめ]

本発明に係る態様は、以下の態様を含むことができる。

態様 1：行方向に隣り合う 2 つのサブ画素の一方に対応する第 1 半導体膜と、他方に対応する第 2 半導体膜と、前記第 1 半導体膜の一部を行方向のチャネルとするトランジスタと、コンタクトホールを介して前記トランジスタのドレイン電極に接続する画素電極とを備え、平面視においては、前記チャネルのドレイン電極側エッジから前記コンタクトホールの底面に到るまでの行方向の距離が、行方向のサブ画素ピッチの 0.15 倍以上であるアクティブマトリクス基板。

[0056] 態様 2：前記距離が、前記サブ画素ピッチの 0.23 倍以上である例えば態様 1 記載のアクティブマトリクス基板。

[0057] 態様 3：前記コンタクトホールは順テーパ形状であり、層間絶縁膜を貫通する例えば態様 1 または 2 記載のアクティブマトリクス基板。

[0058] 態様 4：前記距離が、前記層間絶縁膜の厚みの 1.2 倍以上である例えば態様 3 に記載のアクティブマトリクス基板。

[0059] 態様 5：前記第 1 半導体膜の行方向の長さが、前記サブ画素ピッチの 0.45 倍以上である例えば態様 1～4 のいずれか 1 項に記載のアクティブマト

リクス基板。

- [0060] 態様 6 : 前記第 1 および第 2 半導体膜が、前記サブ画素ピッチの 0.48 倍未満の間隙をおいて行方向に並んでいる例えば態様 1 ~ 5 のいずれか 1 項に記載のアクティブマトリクス基板。
- [0061] 態様 7 : 前記底面の行方向の幅が、前記サブ画素ピッチの 0.21 倍以上である例えば態様 1 ~ 6 のいずれか 1 項に記載のアクティブマトリクス基板。
- [0062] 態様 8 : 前記第 2 半導体膜と前記底面との行方向の間隙が、前記サブ画素ピッチの 0.19 倍未満である例えば態様 1 ~ 7 のいずれか 1 項に記載のアクティブマトリクス基板。
- [0063] 態様 9 : 前記ドレイン電極の行方向の幅が、前記サブ画素ピッチの 0.38 倍以上である例えば態様 1 ~ 8 のいずれか 1 項に記載のアクティブマトリクス基板。
- [0064] 態様 10 : 前記画素電極の行方向の幅が、前記サブ画素ピッチの 0.68 倍以上である例えば態様 1 ~ 9 のいずれか 1 項に記載のアクティブマトリクス基板。
- [0065] 態様 11 : 前記トランジスタのソース電極にデータ信号線が接続され、前記データ信号線の幅が画素ピッチの 0.16 倍以上である例えば態様 1 ~ 10 のいずれか 1 項に記載のアクティブマトリクス基板。
- [0066] 態様 12 : 前記層間絶縁膜は、無機絶縁膜および有機絶縁膜を含む例えば態様 1 ~ 11 のいずれか 1 項に記載のアクティブマトリクス基板。
- [0067] 態様 13 : 前記コンタクトホール of 底面の一部が前記ドレイン電極と重ならない例えば態様 1 ~ 12 のいずれか 1 項に記載のアクティブマトリクス基板。
- [0068] 態様 14 : 前記画素電極よりも上層の無機絶縁膜を介して前記画素電極と対向する共通電極を含み、前記画素電極および前記共通電極の少なくとも一方にスリットが形成されている例えば態様 1 ~ 13 のいずれか 1 項に記載のアクティブマトリクス基板。

- [0069] 態様 15 : 1 インチ当たりのサブ画素数が 1200 以上である例えば態様 1 ~ 14 のいずれか 1 項に記載のアクティブマトリクス基板。
- [0070] 態様 16 : 前記第 1 および第 2 半導体膜は酸化物半導体で構成されている例えば態様 1 ~ 15 のいずれか 1 項に記載のアクティブマトリクス基板。
- [0071] 態様 17 : 前記第 1 および第 2 半導体膜とは異なる材料で構成された第 3 半導体膜を備える例えば態様 1 ~ 18 のいずれか 1 項に記載のアクティブマトリクス基板。
- [0072] 態様 18 : 前記トランジスタおよび前記第 3 半導体膜をチャネルとするトランジスタの一方はボトムゲート構造であり、他方はトップゲート構造である例えば態様 17 に記載のアクティブマトリクス基板。
- [0073] 態様 19 : 例えば態様 1 ~ 18 記載のアクティブマトリクス基板を備える液晶表示装置。
- [0074] 本発明は上述した実施形態に限定されるものではなく、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせ得られる実施形態についても本発明の技術的範囲に含まれる。さらに、各実施形態にそれぞれ開示された技術的手段を組み合わせることにより、新しい技術的特徴を形成することができる。

符号の説明

- [0075] 3 アクティブマトリクス基板
- 10 液晶パネル
 - GL 走査信号線
 - SL データ信号
 - DR ドレイン電極
 - CHa・CHb CH コンタクトホール
 - dp サブ画素ピッチ
 - 25a 第 1 半導体膜
 - 25b 第 2 半導体膜

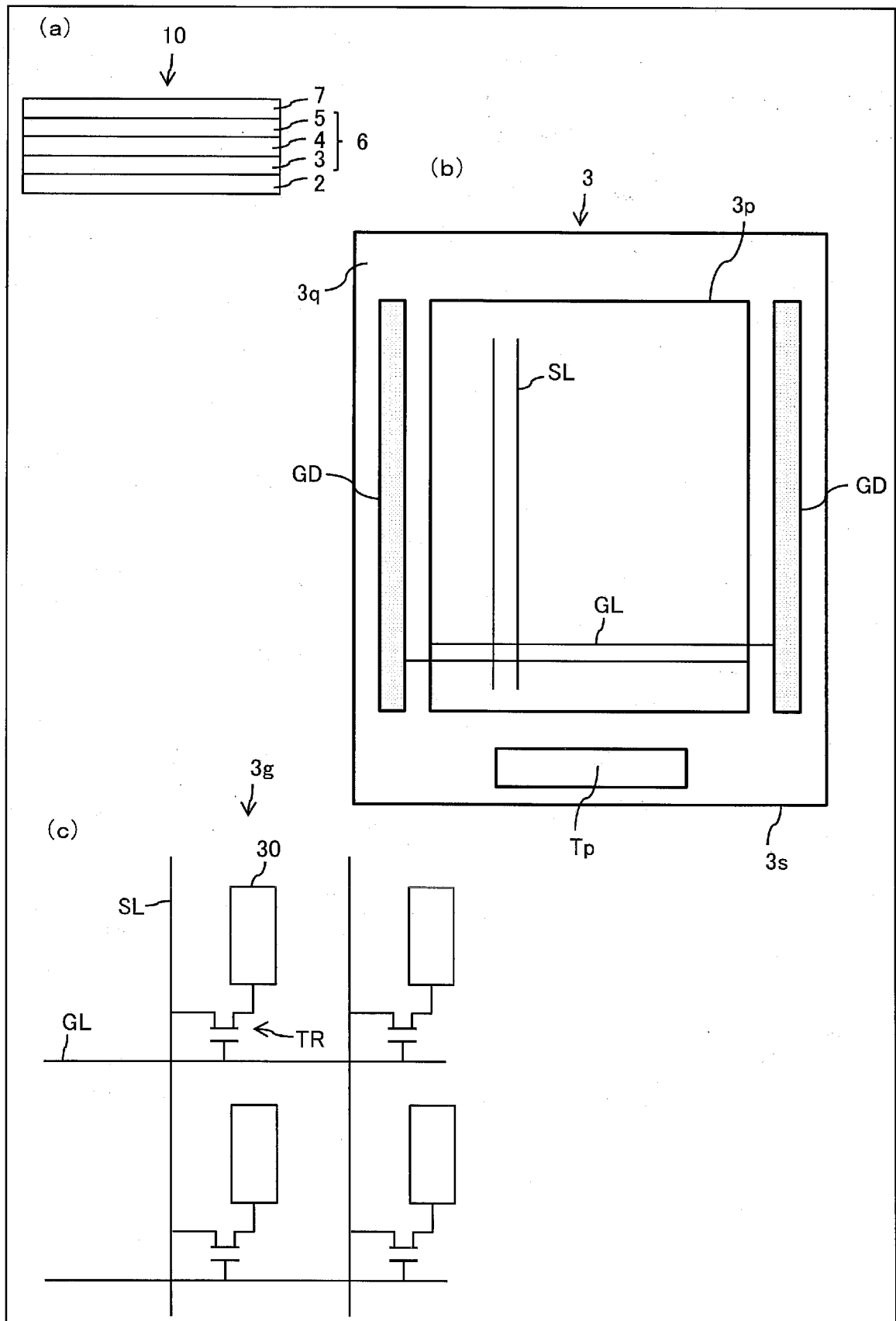
請求の範囲

- [請求項1] 行方向に隣り合う2つのサブ画素の一方に対応する第1半導体膜と、他方に対応する第2半導体膜と、前記第1半導体膜の一部を行方向のチャンネルとするトランジスタと、コンタクトホールを介して前記トランジスタのドレイン電極に接続する画素電極とを備え、
- 平面視においては、前記チャンネルのドレイン電極側エッジから前記コンタクトホールの底面に到るまでの行方向の距離が、行方向のサブ画素ピッチの0.15倍以上であるアクティブマトリクス基板。
- [請求項2] 前記距離が、前記サブ画素ピッチの0.23倍以上である請求項1記載のアクティブマトリクス基板。
- [請求項3] 前記コンタクトホールは順テーパ形状であり、層間絶縁膜を貫通する請求項1または2記載のアクティブマトリクス基板。
- [請求項4] 前記距離が、前記層間絶縁膜の厚みの1.2倍以上である請求項3に記載のアクティブマトリクス基板。
- [請求項5] 前記層間絶縁膜は、無機絶縁膜および有機絶縁膜を含む請求項3または4に記載のアクティブマトリクス基板。
- [請求項6] 前記第1半導体膜の行方向の長さが、前記サブ画素ピッチの0.45倍以上である請求項1～5のいずれか1項に記載のアクティブマトリクス基板。
- [請求項7] 前記第1および第2半導体膜が、前記サブ画素ピッチの0.48倍未満の間隙をおいて行方向に並んでいる請求項1～6のいずれか1項に記載のアクティブマトリクス基板。
- [請求項8] 前記底面の行方向の幅が、前記サブ画素ピッチの0.21倍以上である請求項1～7のいずれか1項に記載のアクティブマトリクス基板。
- [請求項9] 前記第2半導体膜と前記底面との行方向の間隙が、前記サブ画素ピッチの0.19倍未満である請求項1～8のいずれか1項に記載のアクティブマトリクス基板。

- [請求項10] 前記ドレイン電極の行方向の幅が、前記サブ画素ピッチの0.38倍以上である請求項1～9のいずれか1項に記載のアクティブマトリクス基板。
- [請求項11] 前記画素電極の行方向の幅が、前記サブ画素ピッチの0.68倍以上である請求項1～10のいずれか1項に記載のアクティブマトリクス基板。
- [請求項12] 前記トランジスタのソース電極にデータ信号線が接続され、前記データ信号線の幅が画素ピッチの0.16倍以上である請求項1～11のいずれか1項に記載のアクティブマトリクス基板。
- [請求項13] 前記コンタクトホール of 底面の一部が前記ドレイン電極と重ならない請求項1～12のいずれか1項に記載のアクティブマトリクス基板。
- [請求項14] 前記画素電極よりも上層の無機絶縁膜を介して前記画素電極と対向する共通電極を含み、前記画素電極および前記共通電極の少なくとも一方にスリットが形成されている請求項1～13のいずれか1項に記載のアクティブマトリクス基板。
- [請求項15] 1インチ当たりのサブ画素数が1200以上である請求項1～14のいずれか1項に記載のアクティブマトリクス基板。
- [請求項16] 前記第1および第2半導体膜は酸化物半導体で構成されている請求項1～15のいずれか1項に記載のアクティブマトリクス基板。
- [請求項17] 前記第1および第2半導体膜とは異なる材料で構成された第3半導体膜を備える請求項1～16のいずれか1項に記載のアクティブマトリクス基板。
- [請求項18] 前記トランジスタおよび前記第3半導体膜をチャンネルとするトランジスタの一方はボトムゲート構造であり、他方はトップゲート構造である請求項17に記載のアクティブマトリクス基板。
- [請求項19] 請求項1～18の何れか1項に記載のアクティブマトリクス基板を備える液晶表示装置。

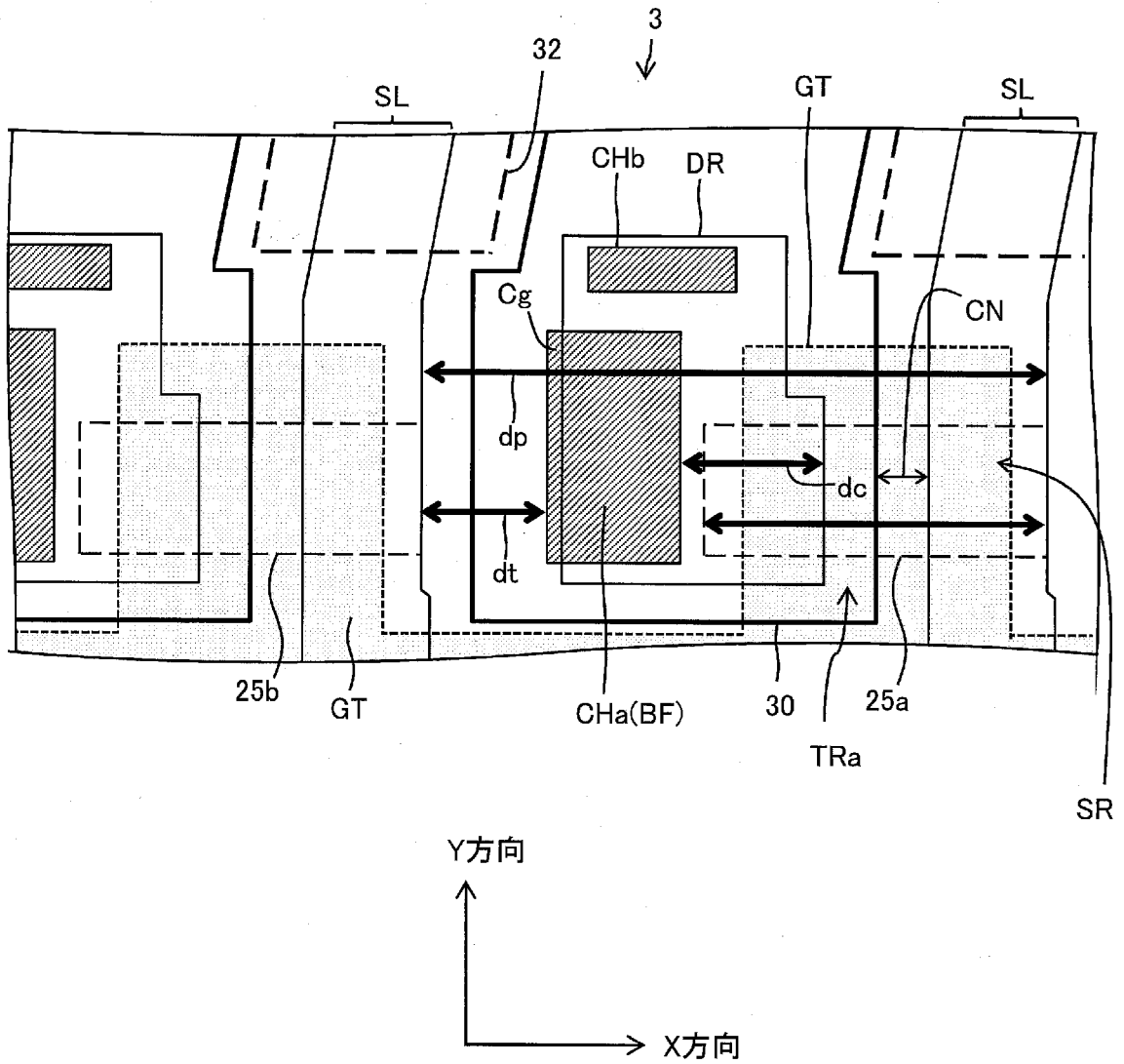
[図1]

図 1



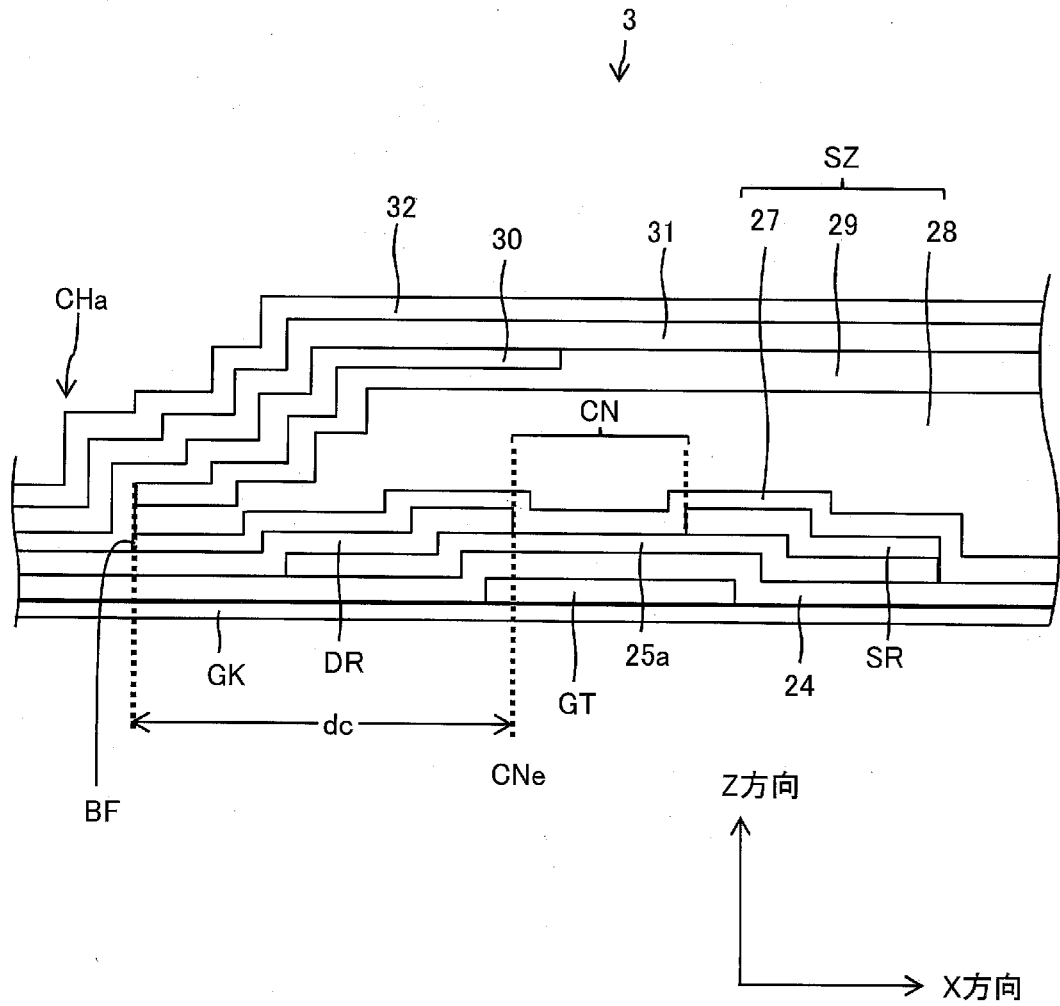
[図2]

図 2



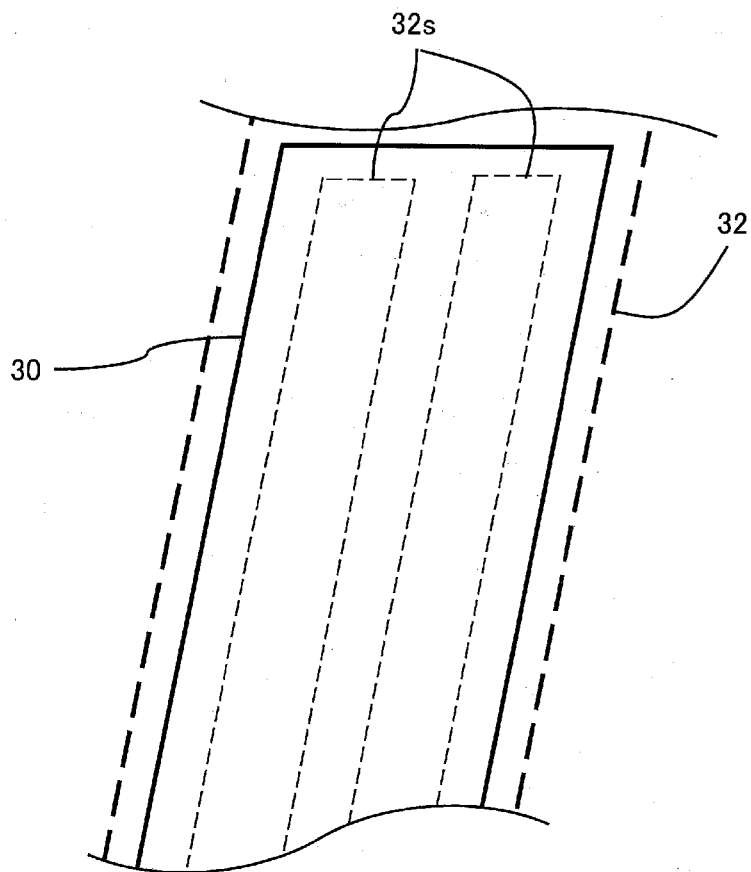
[図3]

図 3



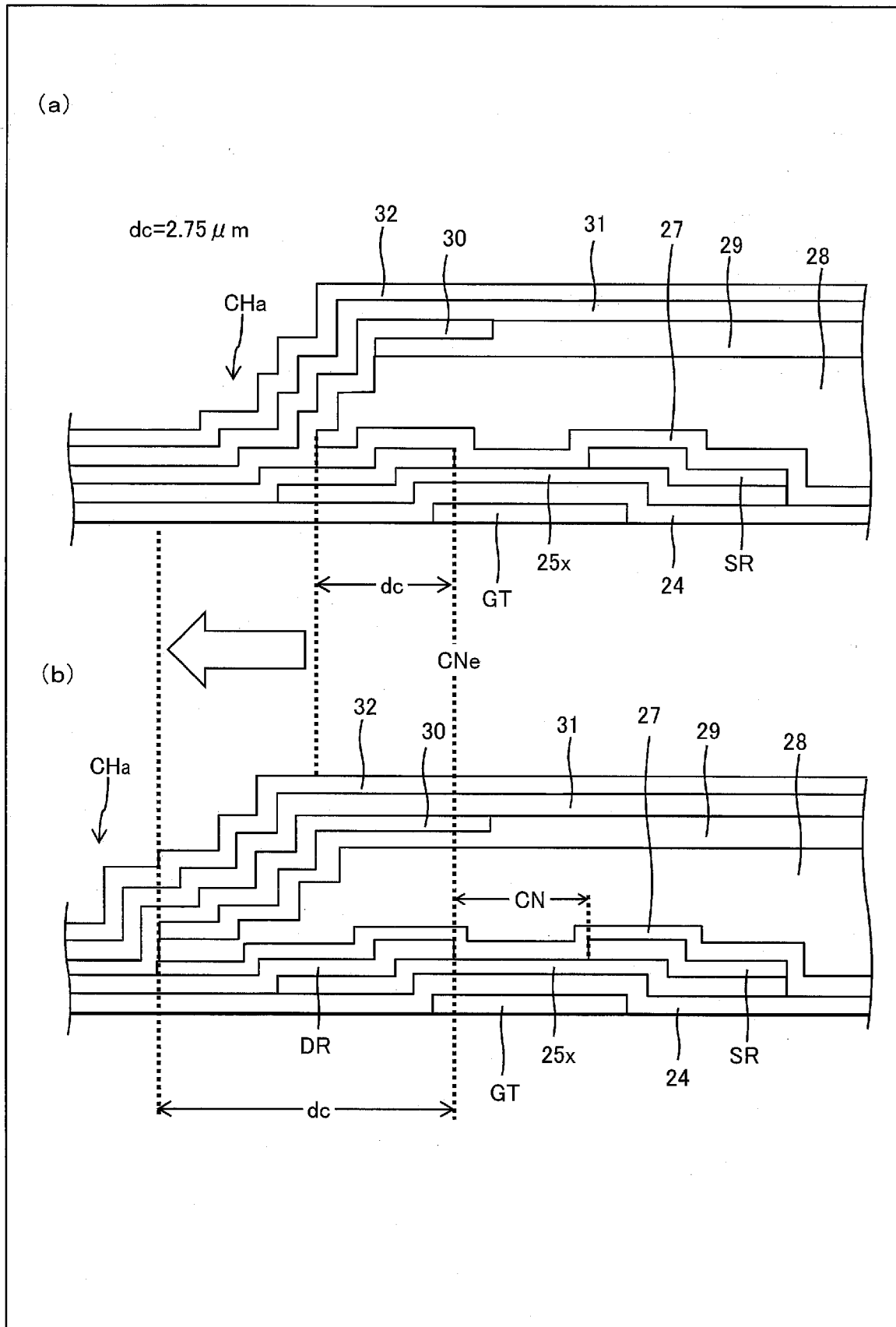
[図4]

図 4



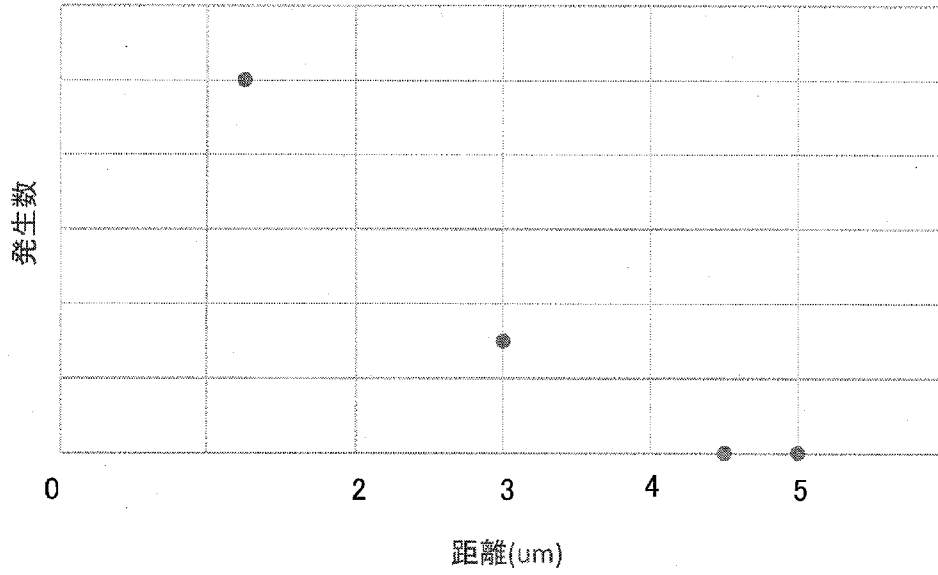
[図5]

図 5



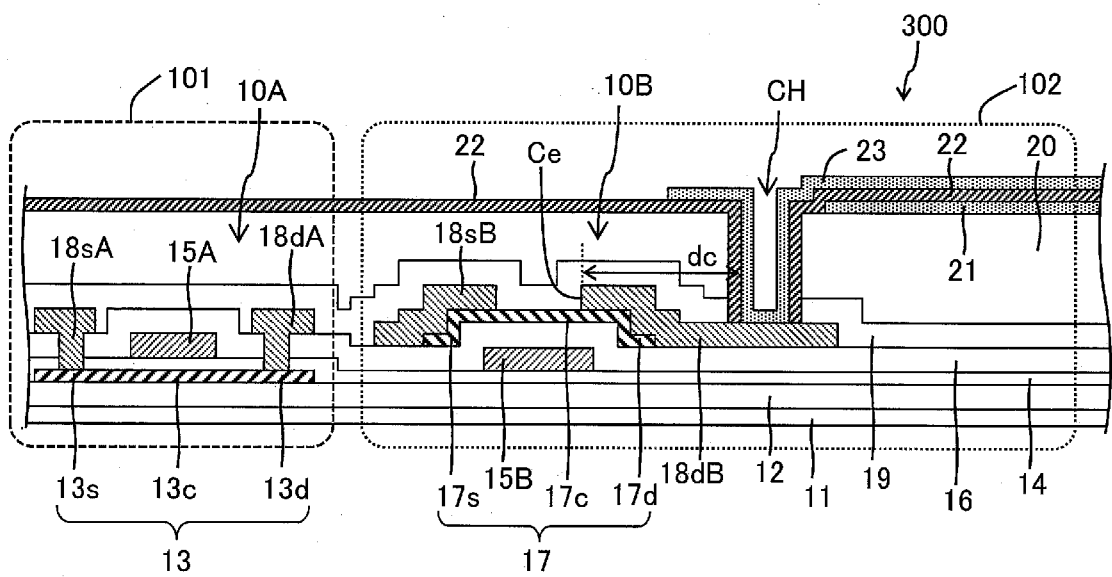
[図6]

図 6



[図7]

図 7



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/012061

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. G02F1/1368 (2006.01) i, G09F9/30 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. G02F1/1368, G09F9/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2018
 Registered utility model specifications of Japan 1996-2018
 Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2016-171102 A (JAPAN DISPLAY INC.) 23 September 2016, claims, entire text, all drawings & US 2016/0268417 A1, all claims, paragraphs and figures	1-19
A	WO 2016/027758 A1 (SHARP CORP.) 25 February 2016, claims, entire text, all drawings & US 2017/0261790 A1, all claims, paragraphs and figures & TW 201619681 A	1-19
A	JP 2002-182241 A (TOSHIBA CORP.) 26 June 2002, claims, entire text, all drawings (Family: none)	1-19
A	JP 2001-332738 A (SONY CORP.) 30 November 2001, claims, entire text, all drawings (Family: none)	1-19

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:	"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
11.06.2018

Date of mailing of the international search report
19.06.2018

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORTInternational application No.
PCT/JP2018/012061

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-115498 A (SEIKO EPSON CORP.) 18 April 2003, claims, entire text, all drawings (Family: none)	1-19
A	JP 2010-231233 A (SHARP CORP.) 14 October 2010, claims, entire text, all drawings & US 2003/0063249 A1, all claims, paragraphs and figures & TW 227807 B & KR 10-2003-0027861 A	1-19

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G02F1/1368(2006.01)i, G09F9/30(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G02F1/1368, G09F9/30											
最小限資料以外の資料で調査を行った分野に含まれるもの <table style="width:100%; border-collapse: collapse;"> <tr> <td style="width:30%;">日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2018年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2018年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2018年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2018年	日本国実用新案登録公報	1996-2018年	日本国登録実用新案公報	1994-2018年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2018年										
日本国実用新案登録公報	1996-2018年										
日本国登録実用新案公報	1994-2018年										
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
A	JP 2016-171102 A (株式会社ジャパンディスプレイ) 2016.09.23, 特許請求の範囲、全文、全図 & US 2016/0268417 A1, all claims. paragraphs and figures	1-19									
A	WO 2016/027758 A1 (シャープ株式会社) 2016.02.25, 請求の範囲、全文、全図 & US 2017/0261790 A1, all claims. paragraphs and figures & TW 201619681 A	1-19									
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。											
* 引用文献のカテゴリー		の日の後に公表された文献									
「A」特に関連のある文献ではなく、一般的技術水準を示すもの		「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの									
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの		「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの									
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)		「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの									
「O」口頭による開示、使用、展示等に言及する文献		「&」同一パテントファミリー文献									
「P」国際出願日前で、かつ優先権の主張の基礎となる出願											
国際調査を完了した日 11.06.2018		国際調査報告の発送日 19.06.2018									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 越河 勉	2 L 9313								
		電話番号 03-3581-1101 内線	3295								

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2002-182241 A (株式会社東芝) 2002. 06. 26, 特許請求の範囲、 全文、全図 (ファミリーなし)	1-19
A	JP 2001-332738 A (ソニー株式会社) 2001. 11. 30, 特許請求の範囲、 全文、全図 (ファミリーなし)	1-19
A	JP 2003-115498 A (セイコーエプソン株式会社) 2003. 04. 18, 特許 請求の範囲、全文、全図 (ファミリーなし)	1-19
A	JP 2010-231233 A (シャープ株式会社) 2010. 10. 14, 特許請求の範 囲、全文、全図 & US 2003/0063249 A1, all claims. paragraphs and figures & TW 227807 B & KR 10-2003-0027861 A	1-19