

# (12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织  
国际局



(43) 国际公布日  
2011年1月13日 (13.01.2011)

PCT

(10) 国际公布号  
WO 2011/003309 A1

- (51) 国际专利分类号:  
H04J 3/06 (2006.01)
- (21) 国际申请号: PCT/CN2010/073386
- (22) 国际申请日: 2010年5月31日 (31.05.2010)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:  
200910158548.8 2009年7月10日 (10.07.2009) CN
- (71) 申请人 (对除美国外的所有指定国): **中兴通讯股份有限公司 (ZTE CORPORATION)** [CN/CN]; 中国广东省深圳市南山区高新技术产业园科技南路中兴通讯大厦, Guangdong 518057 (CN).
- (72) 发明人: 及
- (75) 发明人/申请人 (仅对美国): **李鑫 (LI, Xin)** [CN/CN]; 中国广东省深圳市南山区高新技术产业园科技南路中兴通讯大厦, Guangdong 518057 (CN). **曹志刚 (CAO, Zhigang)** [CN/CN]; 中国广东省深圳市南山区高新技术产业园科技南路中兴通讯大厦, Guangdong 518057 (CN).
- (74) 代理人: 北京安信方达知识产权代理有限公司 (AFD CHINA INTELLECTUAL PROPERTY LAW OFFICE); 中国北京市海淀区学清路8号B座1601A, Beijing 100192 (CN).
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 本国际公布:  
— 包括国际检索报告(条约第21条(3)).

(54) Title: CLOCK UNIT REALIZATION METHOD AND CLOCK UNIT DEVICE

(54) 发明名称: 一种实现时钟单元的方法及时钟单元装置

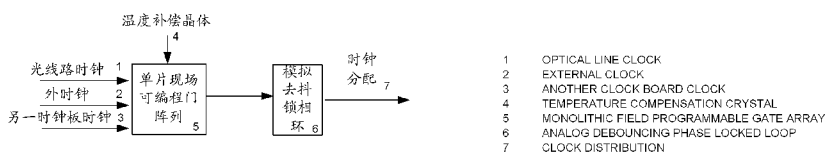


图 1 / Fig. 1

(57) Abstract: A clock unit realization method and a clock unit device are disclosed by the present invention, which solve the problem that the stability of using analog phase locked loop is not high and the cost of using chips is too high. The method includes: performing count phase discrimination processing on a reference clock signal and a local clock signal to obtain a phase discrimination value by using a global working clock, performing the frequency division factor adjustment processing on the global working clock by using the phase discrimination value, performing the frequency division processing on the clock signal, which is obtained by performing frequency division processing on the global working clock, to obtain a local clock signal by using the first frequency division factor. Performing frequency division processing on the global working clock to obtain the local clock signal by using the frequency division factor which is obtained based on the phase discrimination value, the present invention can realize phase locked loop tracking synchronization, thereby improving the stability, and reducing the cost.

(57) 摘要: 本发明公开了一种实现时钟单元的方法及时钟单元装置, 解决现有技术中采用模拟锁相环稳定性不高、采用芯片成本太大的问题, 该方法包括: 采用全局工作时钟对参考时钟信号和本地时钟信号进行计数鉴相处理得到鉴相值, 采用鉴相值对全局工作时钟进行分频系数调整处理, 通过第一分频系数对全局工作时钟进行分频处理后得到的时钟信号进行分频处理得到本地时钟信号。本发明采用根据鉴相值得到的分频系数对全局工作时钟进行分频处理, 进而得到本地时钟信号实现锁相环跟踪同步, 因此可以提高稳定性, 并降低成本。

WO 2011/003309 A1

## 一种实现时钟单元的方法及时钟单元装置

### 技术领域

本发明属于通信技术领域，特别涉及一种实现时钟单元的方法及时钟单元装置。

### 背景技术

随着数字传输体制的发展，如同步数字体系（Synchronous Digital Hierarchy, SDH）光传输系统、无线通信传输系统的应用也越来越广泛，并且逐渐向着高集成化、低成本的方向发展，以SDH传输系统为例，SDH设备时钟（SDH Equipment Clock, SEC）是SDH光传输系统的重要组成部分，是SDH设备构建同步网的基础，也是同步数字体系（SDH）可靠工作的前提。SEC的核心部件由锁相环（Phase Locked Loop, PLL）构成。通过锁相环跟踪同步定时基准，并通过锁相环的滤波特性对基准时钟在传输过程中产生的抖动和漂移进行过滤。而当基准源不可用时，则由SEC提供本地的定时基准信息，实现高质量的时钟输出。SDH光传输系统或无线通信传输系统的时钟单元，需要工作在自由振荡、跟踪、保持三种模式下，并且能够在三种模式之间进行平滑切换。且需要在三种工作模式下输出稳定的时钟，同时还要保证在三种模式切换过程中输出时钟信号的稳定。

在现有技术中采用模拟锁相环很难实现在三种模式切换过程中输出时钟信号的稳定。

### 发明内容

为了解决现有技术中采用模拟锁相环很难实现在自由振荡、跟踪、保持三种模式切换过程中输出时钟信号的稳定的问题，本发明实施例提供了一种实现时钟单元的方法，包括：

采用全局工作时钟对参考时钟信号和本地时钟信号进行计数鉴相处理得到鉴相值；

采用根据鉴相值得到的分频系数对全局工作时钟进行分频处理；以及  
通过第一分频系数对全局工作时钟进行分频处理后得到的时钟信号进行分频处理得到本地时钟信号。

在得到鉴相值的步骤和对全局工作时钟进行分频处理的步骤之间，该方法还包括：

根据预设定的积分系数和比例系数对鉴相值进行数字滤波；以及  
根据数字滤波后的鉴相值得到对全局工作时钟进行分频处理的分频系数。

采用根据鉴相值得到的分频系数对全局工作时钟进行分频处理的步骤包括：

通过  $\frac{2^x + N}{2^y}$  得到分频系数对全局工作时钟进行分频处理，x 为鉴相值影响全局工作时钟分频后输出精度的系数，y 为影响分频系数大小的系数，N 为进行数字滤波处理后的鉴相值。

所述得到本地时钟信号的步骤之后，该方法还包括：

通过第二固定分频系数对全局工作时钟进行分频处理后得到的时钟信号进行分频处理；

通过第三固定分频系数对给同步数字体系（SDH）业务板使用的时钟信号进行分频处理；

对通过第二固定分频系数得到的时钟信号，与通过第三固定分频系数得到的时钟信号进行异或鉴相；以及

将异或鉴相得到的结果进行模拟锁相去抖处理，得到给 SDH 业务板使用的时钟信号。

该方法还包括：根据备用时钟信号和去抖后提供给 SDH 业务板使用的时钟信号控制相位调整。

所述控制相位调整的步骤中，每次进行相位调整的大小为  $\Phi = n / 8mf_{ref}$ ，

其中  $\Phi$  为每次进行相位调整的大小,  $f_{ref}$  为备用时钟信号的频率,  $m$  为  $f_{ref}$  的倍频系数,  $n$  为调整  $\Phi$  的次数。

所述对鉴相值进行数字滤波后, 该方法还包括: 将数字滤波后的鉴相值保存在随机存储器 (RAM) 中, 若参考时钟信号丢失, 则采用根据 RAM 中的鉴相值得到的分频系数对全局工作时钟进行分频处理; 以及

通过第二固定分频系数对根据 RAM 中的鉴相值得到的时钟信号进行分频处理。

同时本发明实施例还提供一种时钟单元的装置, 包括:

第一鉴相器, 其设置为: 采用全局工作时钟对参考时钟信号和本地时钟信号进行计数鉴相处理得到鉴相值;

数字控制振荡器, 其设置为: 采用根据鉴相值得到的分频系数对全局工作时钟进行分频处理; 以及

第一分频器, 其设置为: 通过第一分频系数对全局工作时钟进行分频处理后得到的时钟信号进行分频处理得到本地时钟信号。

该装置还包括:

数字低通滤波器, 其设置为: 根据预设定的积分系数和比例系数对鉴相值进行数字滤波;

所述数字控制振荡器还设置为: 根据数字滤波后的鉴相值得到对全局工作时钟进行分频处理的分频系数。

所述数字控制振荡器还设置为:

$$\frac{2^x + N}{2^y}$$

通过  $\frac{2^x + N}{2^y}$  得到分频系数对全局工作时钟进行分频处理,  $x$  为鉴相值影响全局工作时钟分频后输出精度的系数,  $y$  为影响分频系数大小的系数,  $N$  为进行数字滤波处理后的鉴相值。

该装置还包括:

第二分频器，其设置为：通过第二固定分频系数对全局工作时钟进行分频处理后得到的时钟信号进行分频处理；

第三分频器，其设置为：通过第三固定分频系数对给同步数字体系（SDH）业务板使用的时钟信进行分频处理；

第二鉴相器，其设置为：对通过第二固定分频系数得到的时钟信号，与通过第三固定分频系数得到的时钟信号进行异或鉴相；以及

模拟去抖锁相环，其设置为：将异或鉴相得到的结果进行模拟锁相去抖处理，得到给 SDH 业务板使用的时钟信号。

所述装置还包括相位调整模块，所述相位调整模块设置为：根据备用时钟信号和去抖后提供给 SDH 业务板使用的时钟信号控制相位调整。

所述数字控制振荡器还设置为：将数字滤波后的鉴相值保存在随机存储器（RAM）中，若参考时钟信号丢失，则采用根据 RAM 中的鉴相值得到的分频系数对全局工作时钟进行分频处理；

所述第一分频器还设置为：通过第二固定分频系数对根据 RAM 中的鉴相值得到的时钟信号进行分频处理。

由上述本发明提供的具体实施方案可以看出，正是由于采用根据鉴相值得到的分频系数对全局工作时钟进行分频处理，进而得到本地时钟信号实现锁相环跟踪同步，因此可以三种模式切换过程中输出时钟信号的稳定。

## 附图概述

图 1 为本发明提供的第一实施例时钟单元结构图；

图 2 为本发明提供的第一实施例方法流程图；

图 3 为本发明提供的第二实施例装置结构图。

## 本发明的较佳实施方式

为了解决现有技术中采用模拟锁相环很难实现在自由振荡、跟踪、保持三种模式切换过程中输出时钟信号的稳定的问题，本发明提供的第一实施例

是一种实现时钟单元的方法，本方案的核心思想就是在如图 1 的时钟单元中，由温度补偿晶体 (Temperature Compensate X'tal (crystal) Oscillator, TCXO) 为单片现场可编程门阵列 (Field Programmable Gate Array, FPGA) 提供一个稳定的全局工作时钟，FPGA 实现对从光线路时钟和外时钟中选取出的参考时钟捕捉、跟踪、锁定，FPGA 锁定输出到压控晶振 (Voltage Controlled X'tal Oscillator, VCXO) 的时钟信号，经后级 VCXO 模拟去抖锁相环去抖后，经过时钟驱动芯片送给 SDH 业务板使用。对另一时钟板时钟即备用板时钟锁定主用板时钟，实现主备板时钟相位调整功能。并当参考源丢失时可以进入保持模式，FPGA 内部包括：鉴相器 (Phase Detector, PD)、数字控制振荡器 (Numerical Controlled Oscillator, NCO)、数字低通滤波器 (Digital Low Pass Filter, D\_LPF)，FPGA 锁定输出到 VCXO 的时钟信号，经后级 VCXO 普通模拟锁相环去抖后经过时钟驱动芯片送给 SDH 业务板使用。

本实施例时钟单元的基本工作过程如下：

TCXO 晶体产生的时钟信号通过 FPGA 内部倍频后得到全局工作时钟；

光线路时钟 (以 SDH 光系统为例) 或外时钟作为数字锁相环的参考时钟信号输入，通过源选择模块选择高质量的时钟作为参考源；

参考源时钟与本地时钟 (NCO 分频产生) 由鉴相器 1 (PD1) 采用全局工作时钟进行鉴相得到鉴相值；

将得到的鉴相值通过去抖处理 (在本实施例中采用鉴相差值设置门限的方式)，然后通过数字低通滤波器 (D\_LPF)，送给数字振荡控制器 (NCO)，NCO 通过累加的方式控制其输出时钟信号频率跟踪参考时钟并最终锁定，NCO 的输出时钟信号频率经过分频器 1 后得到本地时钟；

进行 1+1 保护备份时，备用板锁定主用板的时钟，并且通过 FPGA 内部的移相器将主备时钟的相差控制在很小的范围内；

通过 RAM 存储多个鉴相值来提高时钟保持模式的精度，对相位瞬间跳变有很好的抑制作用。

当然本实施例中的方法同样也适用于 SDH 光系统之外的时钟单元，如无线通信传输系统或卫星通信系统。

本实施例的一种实现时钟单元的方法流程如图 2 所示, 包括:

步骤 101: 源选择模块从标称 8KHz 的光线路时钟信号和标称 8KHz 的外时钟信号中选择光线路时钟信号作为参考源时钟信号。

步骤 102: PLL 倍频模块对温度补偿晶体 (TCXO) 提供的 12.8M 的时钟信号进行 8 倍频处理, 得到 102.4MHz 的全局工作时钟信号。

步骤 103: 第一计数鉴相器 PD1 采用 102.4MHz 的全局工作时钟对 8KHz 的参考源时钟信号和 7.99KHz 的本地时钟信号进行计数鉴相得到的鉴相值为 -16。

步骤 104: 数字低通滤波器 D\_LPF 根据预置的比例系数和积分系数对得到的鉴相值 -16 进行数字滤波处理。

步骤 105: 数字控制振荡器 NCO 在得到鉴相值为 -16 的全局工作时钟周期内, 通过  $\frac{2^x + N}{2^y}$  ( $x$  为鉴相值影响全局工作时钟分频后输出精度的系数, 本实施例  $x$  取 14,  $y$  为影响分频系数的系数, 本实施例  $y$  取 22,  $N$  为进行数字滤波处理后的鉴相值, 本实施例为 -16) 对 102.4MHz 的全局工作时钟进行分频处理得到 399.6kHz (实际值为 399609.375Hz 为描述方便本实施例使用 399.6kHz) 的时钟信号, 分频器 1 采用固定分频系数 50 对 399.6kHz 时钟信号进行分频处理得到 7.992KHz 的本地时钟信号。

步骤 106: 分频器 2 采用固定分频系数 5 对 399.6kHz 的时钟信号进行分频处理得到 79.92kHz 的时钟信号, 分频器 3 采用分频系数 972 对 77.76MHz 的时钟信号进行分频处理得到 80KHz 的时钟信号。

步骤 107: 异或鉴相器 PD2 对 79.92kHz 的时钟信号和 80KHz 的时钟信号进行异或鉴相, 通过模拟去抖锁相环对异或鉴相结果进行去抖, 将去抖后得到的时钟信号提供给 SDH 业务板使用。

步骤 108: 相位调整控制模块对去抖后提供给 SDH 业务板使用的时钟信号和 77.76MHz 备用时钟信号进行相位调整。

其中步骤 101 中, 本实施例优选的方案为采用光线路时钟信号和外时钟

信号做为备选的参考源时钟信号，从这 2 个时钟信号中选取一个做为参考源时钟信号。当然如果实际工作中只有光线路时钟信号或外时钟信号则直接作为参考源时钟信号。

其中步骤 102 中，本实施例优选的方案为采用 TCXO 提供的时钟信号进行倍频处理得到全局工作时钟信号，当然也可以采用 OCXO 提供的时钟信号进行倍频处理得到全局工作时钟信号。

其中步骤 103 中，计数鉴相器 PD1 采用 102.4MHz 的全局工作时钟对 8KHz 的参考源时钟信号进行计数，计数值为 12800，采用 102.4MHz 的全局工作时钟对 7.99KHz 的参考源时钟信号进行计数，计数值取整为 12816，鉴相值为  $12800-12816=-16$ 。

其中步骤 104 中，数字低通滤波器 D\_LPF 除对得到的鉴相值-16 进行数字滤波处理外，还可以将鉴相值-16 保存在一随机存储器 (Random Access Memory, RAM) 块中，当参考时钟信号丢失后，则利用 RAM 中的鉴相值，代入公式  $\frac{2^x+N}{2^y}$  得到分频系数  $16368/4194304$ ，利用得到的分频系数  $16368/4194304$  对 102.4MHz 的全局工作时钟对进行分频处理得到 399.6kHz 的时钟信号，这样当参考时钟信号丢失锁相环路进入保持状态后，使用 RAM 中的鉴相值使锁相环工作在稳定的保持模式，具体就是，在参考时钟信号恢复之前，将利用 RAM 中的鉴相值得到的 399.6kHz 的时钟信号作为步骤 106 中分频器 2 的输入，使得锁相环工作在稳定的保持模式。

数字低通滤波器 D\_LPF 除对得到的鉴相值-16 进行数字滤波处理，具体过程为，数字低通滤波器根据预设定的积分系数进行积分运算，根据预设定的比例系数进行乘法运算得到数字滤波后的鉴相值。

其中步骤 105 中， $\frac{2^x+N}{2^y}$  为根据  $N$  值得到的分频系数， $x$  为影响  $N$  值对 NCO 输出精度的系数，本实施例  $x$  取 14， $y$  为影响分频系数的系数，本实施例  $y$  取 22，当然也可以是  $x$  取 15， $y$  取 23，若  $N$  还采用-16，则对 102.4MHz 的全局工作时钟进行分频处理得到 399.8kHz(实际值为 399804.6875Hz 为描述方便本实施例使用 399.8kHz)的时钟信号，分频器 1 采用固定分频系数 50 对 399.8kHz 时钟信号进行分频处理得到 7.996KHz 的本地时钟信号。

还以 7.992KHz 的本地时钟信号为例，本地时钟信号由 7.99KHz 变为



7.992KHz后, 计数鉴相器 PD1 采用 102.4MHz 的全局工作时钟对 8KHz 的参考源时钟信号和改变后的 7.992KHz 的本地时钟信号进行计数鉴相得到的鉴相值为-12, 经低通滤波器 D\_LPF 对得到的鉴相值-12 进行数字滤波处理<sup>之后</sup>, 数字控制振荡器 NCO 在得到鉴相值为-12 的全局工作时钟周期内, 通过  $\frac{2^y + N}{2^y}$  对 102.4MHz 的全局工作时钟进行分频处理, 进而由分频器 1 进行分频处理, 得到 7.994KHz 的本地时钟信号, 即本地时钟信号由 7.992KHz 变为 7.994KHz。

通过上述过程, NCO 控制输出时钟的频率, 跟踪并最终锁定参考时钟信号。

其中步骤 108 中, 相位调整模块采用 FPGA 内部 IP Core 来实现, 其相位调整公式如下:

$$\Phi = 1/8 * T_{VCO} = 1/8 f_{VCO} = n/8 m f_{ref}$$

$f_{ref}$  为输入参考频率。举例说明此公式的应用, 例如  $f_{ref}$  为 77.76MHz 的备用时钟信号的频率,  $n=1, m=8$ , 那么  $f_{VCO} = 622.08\text{MHz}$ ,  $\Phi = 1/4976.64 \text{ ms}$ , 即每次可调整的相位差约为 200.94ps。m 为  $f_{ref}$  的倍频系数, n 为调整  $\Phi$  的次数, 如上例中  $n=2$ , 则每次可调整的相差为  $200.94 \times 2\text{ps}$ 。

本实施例在采用包括 TCXO 和 NCO 的数字锁相环, 锁定输出本地时钟信号, 使得后级 VCXO 普通模拟锁相环去抖后的时钟信号经过驱动芯片送给 SDH 业务板使用, 实现了通过数字锁相环实现时钟单元, 输出时钟信号的稳定。

本发明提供的第二实施例是一种时钟单元装置, 如图 3 所示, 包括:

第一鉴相器 201: 用于采用全局工作时钟对参考时钟信号和本地时钟信号进行计数鉴相处理得到鉴相值;

数字控制振荡器 202: 用于采用根据鉴相值得到的分频系数对全局工作时钟进行分频处理;

第一分频器 203: 用于通过第一分频系数对全局工作时钟进行分频处理后得到的时钟信号进行分频处理得到本地时钟信号。

进一步, 还包括:

数字低通滤波器 204: 用于根据预设定的积分系数和比例系数对鉴相值

进行数字滤波;

数字控制振荡器 202: 还用于根据数字滤波后的鉴相值得到对全局工作时钟进行分频处理的分频系数。

进一步, 数字控制振荡器 202: 还用于通过  $\frac{2^x+N}{2^y}$  得到分频系数对全局工作时钟进行分频处理,  $x$  为鉴相值影响全局工作时钟分频后输出精度的系数,  $y$  为影响分频系数的系数,  $N$  为进行数字滤波处理后的鉴相值。

进一步, 还包括:

第二分频器 205: 用于通过第二固定分频系数对全局工作时钟进行分频处理后得到的时钟信号进行分频处理;

第三分频器 206: 用于通过第三固定分频系数对给 SDH 业务板使用的时钟信进行分频处理;

第二鉴相器 207: 用于对通过第二固定分频系数得到的时钟信号, 与通过第三固定分频系数得到的时钟信号进行异或鉴相;

模拟去抖锁相环 208: 用于将异或鉴相得到的结果进行模拟锁相去抖处理, 得到给 SDH 业务板使用的时钟信号。

进一步, 还包括:

相位调整模块 209: 用于根据备用时钟信号和去抖后提供给 SDH 业务板使用的时钟信号控制相位调整。

进一步, 数字控制振荡器 202: 还用于将数字滤波后的鉴相值保存在 RAM 中, 若参考时钟信号丢失, 则采用根据 RAM 中的鉴相值得到的分频系数对全局工作时钟进行分频处理;

第一分频器 203: 还用于通过第二固定分频系数对根据 RAM 中的鉴相值得到的时钟信号进行分频处理。

进一步, 还包括: 源选择模块 210: 用于从光线路时钟信号和外时钟信号中选择参考源时钟信号。

进一步, 还包括: PLL 倍频模块 211: 用于对温度补偿晶体 (TCXO) 提供的时钟信号进行倍频处理, 得到全局工作时钟信号。

显然，本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样，倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内，则本发明也意图包含这些改动和变型在内。

### 工业实用性

本发明采用根据鉴相值得到的分频系数对全局工作时钟进行分频处理，进而得到本地时钟信号实现锁相环跟踪同步，因此可以自由振荡、跟踪、保持三种模式切换过程中输出时钟信号的稳定。

## 权 利 要 求 书

1、一种实现时钟单元的方法，该方法包括：

采用全局工作时钟对参考时钟信号和本地时钟信号进行计数鉴相处理得到鉴相值；

采用根据鉴相值得到的分频系数对全局工作时钟进行分频处理；以及

通过第一分频系数对全局工作时钟进行分频处理后得到的时钟信号进行分频处理得到本地时钟信号。

2、如权利要求 1 所述的方法，其中，在得到鉴相值的步骤和对全局工作时钟进行分频处理的步骤之间，该方法还包括：

根据预设定的积分系数和比例系数对鉴相值进行数字滤波；以及

根据数字滤波后的鉴相值得到对全局工作时钟进行分频处理的分频系数。

3、如权利要求 2 所述的方法，其中，采用根据鉴相值得到的分频系数对全局工作时钟进行分频处理的步骤包括：

通过  $\frac{2^x + N}{2^y}$  得到分频系数对全局工作时钟进行分频处理，x 为鉴相值影响全局工作时钟分频后输出精度的系数，y 为影响分频系数大小的系数，N 为进行数字滤波处理后的鉴相值。

4、如权利要求 2 所述的方法，所述得到本地时钟信号的步骤之后，该方法还包括：

通过第二固定分频系数对全局工作时钟进行分频处理后得到的时钟信号进行分频处理；

通过第三固定分频系数对给同步数字体系（SDH）业务板使用的时钟信号进行分频处理；

对通过第二固定分频系数得到的时钟信号，与通过第三固定分频系数得到的时钟信号进行异或鉴相；以及

将异或鉴相得到的结果进行模拟锁相去抖处理，得到给 SDH 业务板使用的时钟信号。

5、如权利要求 4 所述的方法，该方法还包括：根据备用时钟信号和去抖后提供给 SDH 业务板使用的时钟信号控制相位调整。

6、如权利要求 5 所述的方法，其中，所述控制相位调整的步骤中，每次进行相位调整的大小为  $\Phi = n/8mf_{ref}$ ，其中  $\Phi$  为每次进行相位调整的大小，

$f_{ref}$  为备用时钟信号的频率， $m$  为  $f_{ref}$  的倍频系数， $n$  为调整  $\Phi$  的次数。

7、如权利要求 4 所述的方法，其中，所述对鉴相值进行数字滤波后，该方法还包括：将数字滤波后的鉴相值保存在随机存储器（RAM）中，若参考时钟信号丢失，则采用根据 RAM 中的鉴相值得到的分频系数对全局工作时钟进行分频处理；以及

通过第二固定分频系数对根据 RAM 中的鉴相值得到的时钟信号进行分频处理。

8、一种时钟单元装置，该装置包括：

第一鉴相器，其设置为：采用全局工作时钟对参考时钟信号和本地时钟信号进行计数鉴相处理得到鉴相值；

数字控制振荡器，其设置为：采用根据鉴相值得到的分频系数对全局工作时钟进行分频处理；以及

第一分频器，其设置为：通过第一分频系数对全局工作时钟进行分频处理后得到的时钟信号进行分频处理得到本地时钟信号。

9、如权利要求 8 所述的装置，该装置还包括：

数字低通滤波器，其设置为：根据预设定的积分系数和比例系数对鉴相值进行数字滤波；

所述数字控制振荡器还设置为：根据数字滤波后的鉴相值得到对全局工作时钟进行分频处理的分频系数。

10、如权利要求 9 所述的装置，其中，所述数字控制振荡器还设置为：

$$\frac{2^x + N}{2^y}$$

通过  $\frac{2^x + N}{2^y}$  得到分频系数对全局工作时钟进行分频处理,  $x$  为鉴相值影响全局工作时钟分频后输出精度的系数,  $y$  为影响分频系数大小的系数,  $N$  为进行数字滤波处理后的鉴相值。

11、如权利要求 9 所述的装置, 该装置还包括:

第二分频器, 其设置为: 通过第二固定分频系数对全局工作时钟进行分频处理后得到的时钟信号进行分频处理;

第三分频器, 其设置为: 通过第三固定分频系数对给同步数字体系 (SDH) 业务板使用的时钟信进行分频处理;

第二鉴相器, 其设置为: 对通过第二固定分频系数得到的时钟信号, 与通过第三固定分频系数得到的时钟信号进行异或鉴相; 以及

模拟去抖锁相环, 其设置为: 将异或鉴相得到的结果进行模拟锁相去抖处理, 得到给 SDH 业务板使用的时钟信号。

12、如权利要求 11 所述的装置, 所述装置还包括相位调整模块, 所述相位调整模块设置为: 根据备用时钟信号和去抖后提供给 SDH 业务板使用的时钟信号控制相位调整。

13、如权利要求 11 所述的装置, 其中, 所述数字控制振荡器还设置为: 将数字滤波后的鉴相值保存在随机存储器 (RAM) 中, 若参考时钟信号丢失, 则采用根据 RAM 中的鉴相值得到的分频系数对全局工作时钟进行分频处理;

所述第一分频器还设置为: 通过第二固定分频系数对根据 RAM 中的鉴相值得到的时钟信号进行分频处理。

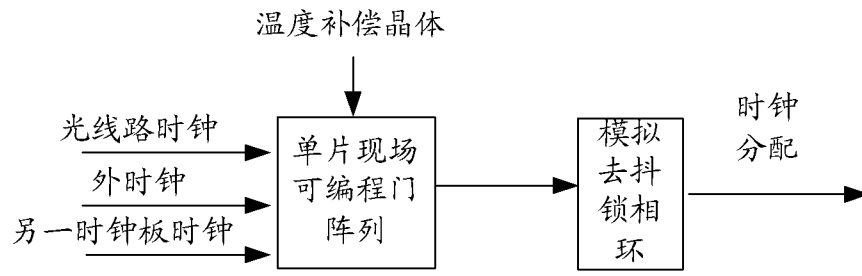


图 1

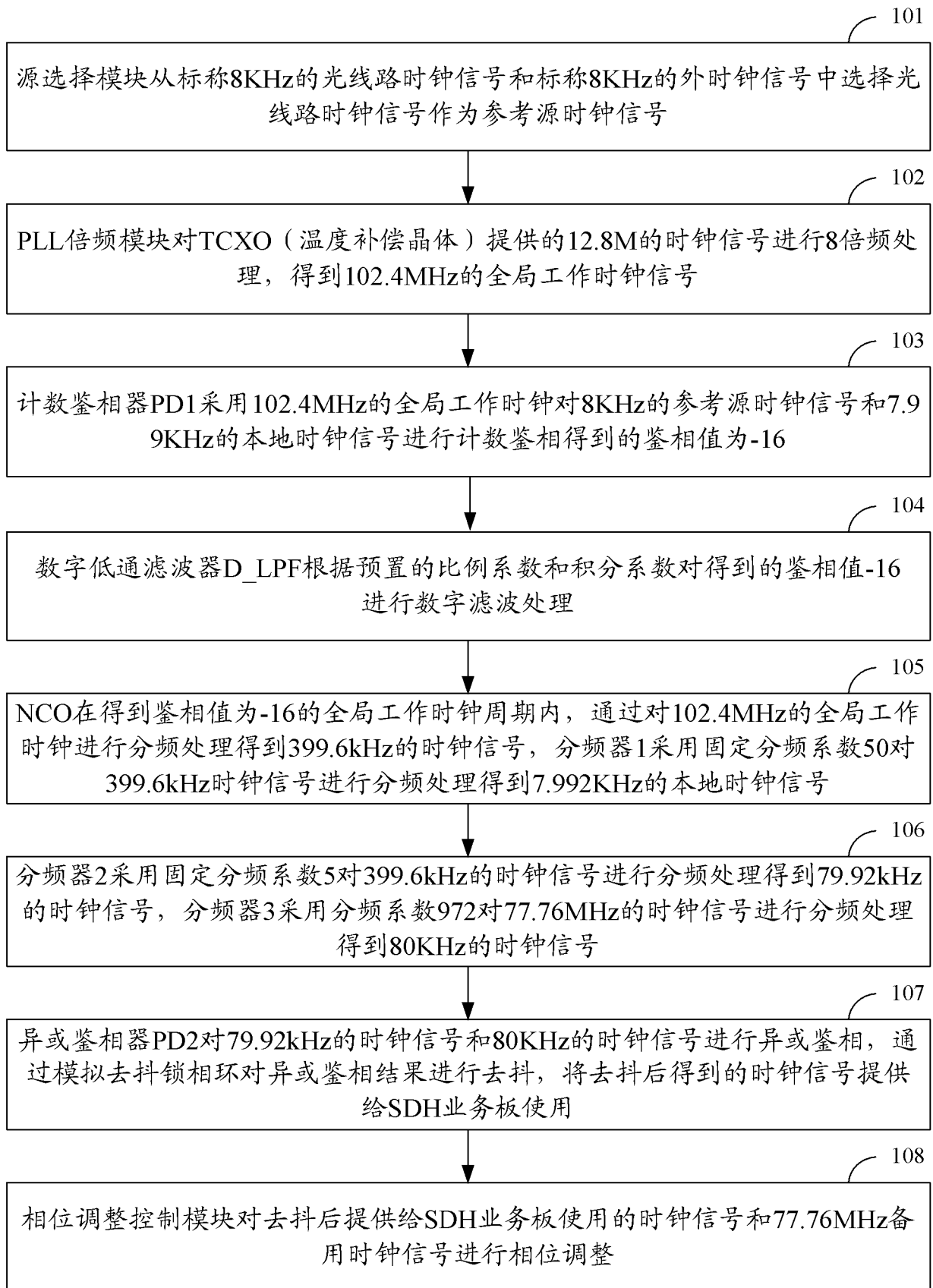


图 2



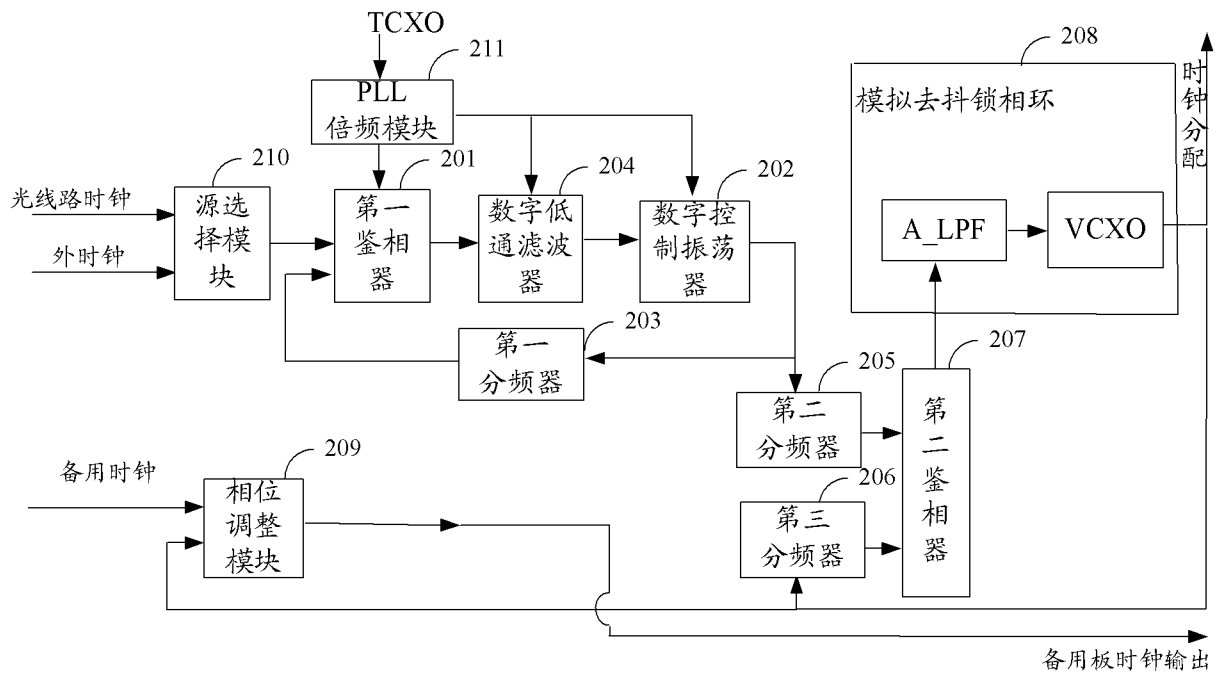


图 3

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2010/073386

## A. CLASSIFICATION OF SUBJECT MATTER

H04J3/06(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H04J, H04B, H04L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**CPRSABS, CNKI, WPI, EPODOC:** clock, global, work+, reference, local, count+, phase w detect+, phase w discriminate+, frequency w divid+, phase w lock+, PLL, synchronous digital hierarchy, SDH

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN101299609 A (DA TANG MOBILE COMMUNICATION EQUIP) 05 Nov. 2008(05.11.2008) the whole document	1-13
A	CN101098220A (ZTE CORP) 02 Jan. 2008(02.01.2008) the whole document	1-13
A	CN101079629A (ZTE CORP) 28 Nov. 2007(28.11.2007) the whole document	1-13
A	US7358783B1 (ALTERA CORP) 15 Apr. 2008(15.04.2008) the whole document	1-13
P, X	CN101610123A (ZTE CORP) 23 Dec. 2009(23.12.2009) description page 3 line 10 - page 8 line 6, claims 1-13, figs. 1-3	1-13

Further documents are listed in the continuation of Box C.

See patent family annex.

<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim (S) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&amp;” document member of the same patent family</p>
--	---

Date of the actual completion of the international search  
16 Aug. 2010 (16.08.2010)

Date of mailing of the international search report  
**09 Sep. 2010 (09.09.2010)**

Name and mailing address of the ISA/CN  
The State Intellectual Property Office, the P.R.China  
6 Xitucheng Rd., Jimen Bridge, Haidian District, Beijing, China  
100088  
Facsimile No. 86-10-62019451

Authorized officer  
**LI, Zhenhua**  
Telephone No. (86-10)62411495

**INTERNATIONAL SEARCH REPORT**  
Information on patent family members

International application No.  
PCT/CN2010/073386

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN101299609A	05.11.2008	NONE	
CN101098220A	02.01.2008	NONE	
CN101079629	28.11.2007	CN101079629B	12.05.2010
US7358783B1	15.04.2008	US6114915A	05.09.2000
		US6369624B1	09.04.2002
		US2002043995A1	18.04.2002
		US6448820B1	10.09.2002
		US2002158671A1	31.10.2002
		US6617884B2	09.09.2003
		US6642758B1	04.11.2003
		US6667641B1	23.12.2003
		US6836164B1	28.12.2004
		US7109765B1	19.09.2006
CN101610123A	23.12.2009	NONE	

<b>A. 主题的分类</b>		
H04J3/06(2006.01)i		
按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类		
<b>B. 检索领域</b>		
检索的最低限度文献(标明分类系统和分类号)		
IPC: H04J, H04B, H04L		
包含在检索领域中的除最低限度文献以外的检索文献		
在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))		
<b>CPRSABS, CNKI:</b> 时钟, 全局, 工作, 参考, 本地, 计数, 鉴相, 分频, 锁相, 同步数字体系		
<b>WPI, EPODOC:</b> clock, global, work+, reference, local, count+, phase w detect+, phase w discriminate+, frequency w divid+, phase w lock+, PLL, synchronous digital hierarchy, SDH		
<b>C. 相关文件</b>		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN101299609 A (大唐移动通信设备有限公司) 05. 11 月 2008(05.11.2008) 全文	1-13
A	CN101098220A (中兴通讯股份有限公司) 02. 1 月 2008(02.01.2008) 全文	1-13
A	CN101079629A (中兴通讯股份有限公司) 28. 11 月 2007(28.11.2007) 全文	1-13
A	US7358783B1(ALTERA CORP) 15. 04 月 2008(15.04.2008) 全	1-13
P, X	CN101610123A (中兴通讯股份有限公司) 23. 12 月 2009(23.12.2009) 说明书第 3 页 10 行-第 8 页 6 行, 权利要求 1-13, 图 1-3	1-13
<input type="checkbox"/> 其余文件在 C 栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。		
* 引用文件的具体类型:		“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件
“A” 认为不特别相关的表示了现有技术一般状态的文件		“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性
“E” 在国际申请日的当天或之后公布的在先申请或专利		“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性
“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)		“&” 同族专利的文件
“O” 涉及口头公开、使用、展览或其他方式公开的文件		
“P” 公布日先于国际申请日但迟于所要求的优先权日的文件		
国际检索实际完成的日期 16. 8 月 2010 (16.08.2010)	国际检索报告邮寄日期 <b>09.9 月 2010 (09.09.2010)</b>	
ISA/CN 的名称和邮寄地址: 中华人民共和国国家知识产权局 中国北京市海淀区蓟门桥西土城路 6 号 100088 传真号: (86-10)62019451	受权官员  <b>李振华</b>  电话号码: (86-10) <b>62411495</b>	

国际检索报告  
关于同族专利的信息

国际申请号  
**PCT/CN2010/073386**

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN101299609A	05.11.2008	无	
CN101098220A	02.01.2008	无	
CN101079629	28.11.2007	CN101079629B	12.05.2010
US7358783B1	15.04.2008	US6114915A	05.09.2000
		US6369624B1	09.04.2002
		US2002043995A1	18.04.2002
		US6448820B1	10.09.2002
		US2002158671A1	31.10.2002
		US6617884B2	09.09.2003
		US6642758B1	04.11.2003
		US6667641B1	23.12.2003
		US6836164B1	28.12.2004
		US7109765B1	19.09.2006
CN101610123A	23.12.2009	无	