

DOCUMENT MADE AVAILABLE UNDER THE PATENT COOPERATION TREATY (PCT)

International application number:	PCT/CN2010/073386
International filing date:	31 May 2010 (31.05.2010)
Document type:	Certified copy of priority document
Document details:	Country/Office: CN
	Number: 200910158548.8
	Filing date: 10 July 2009 (10.07.2009)
Date of receipt at the International Bureau:	02 September 2010 (02.09.2010)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a),(b) or (b-bis)

证 明

本证明之附件是向本局提交的下列专利申请文件副本。

申 请 日：2009.07.10

申 请 号：200910158548.8

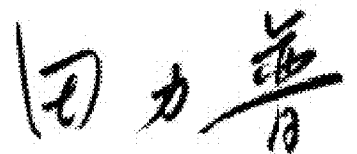
申 请 类 别：发明专利

发 明 创 造 名 称：一种时钟单元及其实现方法

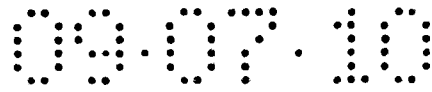
申 请 人：中兴通讯股份有限公司

发 明 人 或 设 计 人：李鑫、曹志刚

中华人民共和国
国家知识产权局局长



2010年08月30日



权 利 要 求 书

1、一种实现时钟单元的方法，其特征在于，包括：

5 采用全局工作时钟对参考时钟信号和本地时钟信号进行计数鉴相处理得到鉴相值；

采用根据鉴相值得到的分频系数对全局工作时钟进行分频处理；

通过第一分频系数对全局工作时钟进行分频处理后得到的时钟信号进行分频处理得到本地时钟信号。

2、如权利要求 1 所述的方法，其特征在于，在得到鉴相值步骤和对全局工作时钟进行分频处理步骤之间还包括：

根据预设定的积分系数和比例系数对鉴相值进行数字滤波；

根据数字滤波后的鉴相值得到对全局工作时钟进行分频处理的分频系数。

3、如权利要求 2 所述的方法，其特征在于，采用根据鉴相值得到的分频系数对全局工作时钟进行分频处理具体为：

15 通过 $\frac{2^x + N}{2^y}$ 得到分频系数对全局工作时钟进行分频处理， x 为鉴相值影响

全局工作时钟分频后输出精度的系数， y 为影响分频系数大小的系数， N 为进行数字滤波处理后的鉴相值。

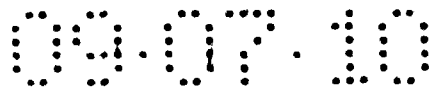
4、如权利要求 2 所述的方法，其特征在于，通过第二固定分频系数对全局工作时钟进行分频处理后得到的时钟信号进行分频处理；

20 通过第三固定分频系数对给 SDH 业务板使用的时钟信号进行分频处理；

对通过第二固定分频系数得到的时钟信号，与通过第三固定分频系数得到的时钟信号进行异或鉴相；

将异或鉴相得到的结果进行模拟锁相去抖处理，得到给 SDH 业务板使用的时钟信号。

25 5、如权利要求 4 所述的方法，其特征在于，还包括：根据备用时钟信号



和去抖后提供给 SDH 业务板使用的时钟信号控制相位调整。

6、如权利要求 5 所述的方法，其特征在于，每次进行相位调整的大小为 $\Phi = n/8mf_{ref}$ ，其中 Φ 为每次进行相位调整的大小， f_{ref} 为备用时钟信号的频率， m 为 f_{ref} 的倍频系数， n 为调整 Φ 的次数。

5 7、如权利要求 4 所述的方法，其特征在于，对鉴相值进行数字滤波后还包括：将数字滤波后的鉴相值保存在 RAM 中，若参考时钟信号丢失，则采用根据 RAM 中的鉴相值得到的分频系数对全局工作时钟进行分频处理；

通过第二固定分频系数对根据 RAM 中的鉴相值得到的时钟信号进行分频处理。

10 8、一种时钟单元装置，其特征在于，包括：

第一鉴相器：用于采用全局工作时钟对参考时钟信号和本地时钟信号进行计数鉴相处理得到鉴相值；

数字控制振荡器：用于采用根据鉴相值得到的分频系数对全局工作时钟进行分频处理；

15 第一分频器：用于通过第一分频系数对全局工作时钟进行分频处理后得到的时钟信号进行分频处理得到本地时钟信号。

9、如权利要求 8 所述的装置，其特征在于，还包括：

数字低通滤波器：用于根据预设定的积分系数和比例系数对鉴相值进行数字滤波；

20 数字控制振荡器：还用于根据数字滤波后的鉴相值得到对全局工作时钟进行分频处理的分频系数。

10、如权利要求 9 所述的装置，其特征在于，数字控制振荡器：还用于通过 $\frac{2^x + N}{2^y}$ 得到分频系数对全局工作时钟进行分频处理， x 为鉴相值影响全局工作时钟分频后输出精度的系数， y 为影响分频系数大小的系数， N 为进行数字滤波处理后的鉴相值。

25



11、如权利要求 9 所述的装置，其特征在于，还包括：

第二分频器：用于通过第二固定分频系数对全局工作时钟进行分频处理后得到的时钟信号进行分频处理；

5 第三分频器：用于通过第三固定分频系数对给 SDH 业务板使用的时钟信号进行分频处理；

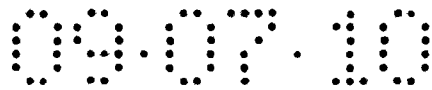
第二鉴相器：用于对通过第二固定分频系数得到的时钟信号，与通过第三固定分频系数得到的时钟信号进行异或鉴相；

模拟去抖锁相环：用于将异或鉴相得到的结果进行模拟锁相去抖处理，得到给 SDH 业务板使用的时钟信号。

10 12、如权利要求 11 所述的装置，其特征在于，还包括：相位调整模块：用于根据备用时钟信号和去抖后提供给 SDH 业务板使用的时钟信号控制相位调整。

13、如权利要求 11 所述的装置，其特征在于，数字控制振荡器：还用于将数字滤波后的鉴相值保存在 RAM 中，若参考时钟信号丢失，则采用根据
15 RAM 中的鉴相值得到的分频系数对全局工作时钟进行分频处理；

第一分频器：还用于通过第二固定分频系数对根据 RAM 中的鉴相值得到的时钟信号进行分频处理。



说明书

一种时钟单元及其实现方法

技术领域

5 本发明属于通信技术领域，特别涉及一种基于混合自动重发请求的数据传输方法及装置。

背景技术

随着数字传输体制的发展，如 SDH 光传输系统、无线通信传输系统的应用也越来越广泛，并且逐渐向着高集成化、低成本的方向发展，以 SDH 传输系统为例，SDH 设备时钟 (SEC) 是 SDH 光传输系统的重要组成部分，是 SDH 设备构建同步网的基础，也是同步数字体系 (SDH) 可靠工作的前提。SEC 的核心部件由锁相环构成。通过锁相环跟踪同步定时基准，并通过锁相环的滤波特性对基准时钟在传输过程中产生的抖动和漂移进行过滤。而当基准源不可用
10 时，则由 SEC 提供本地的定时基准信息，实现高质量的时钟输出。SDH 光传输系统或无线通信传输系统的时钟单元，需要工作在自由振荡、跟踪、保持三种模式下，并且能够在三种模式之间进行平滑切换。且需要在三种工作模式下输出稳定的时钟，同时还要保证在三种模式切换过程中输出时钟信号的稳定。

在现有技术中采用模拟锁相环很难实现在三种模式切换过程中输出时钟
15 信号的稳定。

发明内容

为了解决现有技术中采用模拟锁相环很难实现在自由振荡、跟踪、保持三种模式切换过程中输出时钟信号的稳定的问题，本发明实施例提供了一种实现
20 时钟单元的方法，包括：

采用全局工作时钟对参考时钟信号和本地时钟信号进行计数鉴相处理得到鉴相值；

采用根据鉴相值得到的分频系数对全局工作时钟进行分频处理；

5 通过第一分频系数对全局工作时钟进行分频处理后得到的时钟信号进行分频处理得到本地时钟信号。

同时本发明实施例还提供一种实现时钟单元的装置，包括：

第一鉴相器：用于采用全局工作时钟对参考时钟信号和本地时钟信号进行计数鉴相处理得到鉴相值；

10 数字控制振荡器：用于采用根据鉴相值得到的分频系数对全局工作时钟进行分频处理；

第一分频器：用于通过第一分频系数对全局工作时钟进行分频处理后得到的时钟信号进行分频处理得到本地时钟信号。

15 由上述本发明提供的具体实施方案可以看出，正是由于采用根据鉴相值得到的分频系数对全局工作时钟进行分频处理，进而得到本地时钟信号实现锁相环跟踪同步，因此可以三种模式切换过程中输出时钟信号的稳定。

附图说明

图 1 为本发明提供的第一实施例时钟单元结构图；

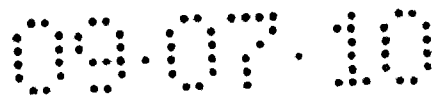
图 2 为本发明提供的第一实施例方法流程图；

20 图 3 为本发明提供的第二实施例装置结构图。

具体实施方式

为了解决现有技术中采用模拟锁相环很难实现在自由振荡、跟踪、保持三种模式切换过程中输出时钟信号的稳定的问题，本发明提供的第一实施例是一种实现时钟单元的方法，本方案的核心思想就是在如图 1 的时钟单元中，由 TCXO(温度补偿晶体)为 FPGA(单片现场可编程门阵列，Field Programmable

25



Gate Array)提供一个稳定的全局工作时钟, FPGA 实现对从光线路时钟和外时钟中选取出的参考时钟捕捉、跟踪、锁定, FPGA 锁定输出到 VCXO 的时钟信号, 经后级 VCXO 模拟去抖锁相环去抖后, 经过时钟驱动芯片送给 SDH 业务板使用。对另一时钟板时钟即备用板时钟锁定主用板时钟, 实现主备板时钟相位调整功能。并当参考源丢失时可以进入保持模式, FPGA 内部包括: 鉴相器 (PD)、数字控制振荡器(NCO)、数字低通滤波器(D_LPF), FPGA 锁定输出到 VCXO 的时钟信号, 经后级 VCXO 普通模拟锁相环去抖后经过时钟驱动芯片送给 SDH 业务板使用。

本实施例时钟单元的基本工作过程如下:

TCXO 晶体产生的时钟信号通过 FPGA 内部倍频后得到全局工作时钟; 光线路时钟 (以 SDH 光系统为例) 或外时钟作为数字锁相环的参考时钟信号输入, 通过源选择模块选择高质量的时钟作为参考源;

参考源时钟与本地时钟 (NCO 分频产生) 由鉴相器 1 (PD1) 采用全局工作时钟进行鉴相得到鉴相值;

将得到的鉴相值通过去抖处理 (在本实施例中采用鉴相差值设置门限的方式), 然后通过数字低通滤波器 (D_LPF), 送给数字振荡控制器 (NCO), NCO 通过累加的方式控制其输出时钟信号频率跟踪参考时钟并最终锁定, NCO 的输出时钟信号频率经过分频器 1 后得到本地时钟;

进行 1 + 1 保护备份时, 备用板锁定主用板的时钟, 并且通过 FPGA 内部的移相器将主备时钟的相差控制在很小的范围内;

通过 RAM 存储多个鉴相值来提高时钟保持模式的精度, 对相位瞬间跳变有很好的抑制作用。

当然本实施例中的方法同样也适用于 SDH 光系统之外的时钟单元, 如无线通信传输系统或卫星通信系统。

本实施例的一种实现时钟单元的方法流程如图 2 所示, 包括:

步骤 101: 源选择模块从标称 8KHz 的光线路时钟信号和标称 8KHz 的外



时钟信号中选择光线路时钟信号作为参考源时钟信号。

步骤 102: PLL 倍频模块对 TCXO (温度补偿晶体) 提供的 12.8M 的时钟信号进行 8 倍频处理, 得到 102.4MHz 的全局工作时钟信号。

步骤 103: 第一计数鉴相器 PD1 采用 102.4MHz 的全局工作时钟对 8KHz 的参考源时钟信号和 7.99KHz 的本地时钟信号进行计数检相得到的检相值为 -16。

步骤 104: 数字低通滤波器 D_LPF 根据预置的比例系数和积分系数对得到的检相值-16 进行数字滤波处理。

步骤 105: 数字控制振荡器 NCO 在得到检相值为-16 的全局工作时钟周期内, 通过 $\frac{2^x+N}{2^y}$ (x 为鉴相值影响全局工作时钟分频后输出精度的系数, 本实施例 x 取 14, y 为影响分频系数的系数, 本实施例 y 取 22, N 为进行数字滤波处理后的鉴相值, 本实施例为-16) 对 102.4MHz 的全局工作时钟进行分频处理得到 399.6kHz(实际值为 399609.375Hz 为描述方便本实施例使用 399.6kHz) 的时钟信号, 分频器 1 采用固定分频系数 50 对 399.6kHz 时钟信号进行分频处理得到 7.992KHz 的本地时钟信号。

步骤 106: 分频器 2 采用固定分频系数 5 对 399.6kHz 的时钟信号进行分频处理得到 79.92kHz 的时钟信号, 分频器 3 采用分频系数 972 对 77.76MHz 的时钟信号进行分频处理得到 80KHz 的时钟信号。

步骤 107: 异或鉴相器 PD2 对 79.92kHz 的时钟信号和 80KHz 的时钟信号进行异或鉴相, 通过模拟去抖锁相环对异或鉴相结果进行去抖, 将去抖后得到的时钟信号提供给 SDH 业务板使用。

步骤 108: 相位调整控制模块对去抖后提供给 SDH 业务板使用的时钟信号和 77.76MHz 备用时钟信号进行相位调整。

其中步骤 101 中, 本实施例优选的方案为采用光线路时钟信号和外时钟信号做为备选的参考源时钟信号, 从这 2 个时钟信号中选取一个做为参考源时钟

信号。当然如果实际工作中只有光线路时钟信号或外时钟信号则直接作为参考源时钟信号。

其中步骤 102 中,本实施例优选的方案为采用 TCXO 提供的时钟信号进行倍频处理得到全局工作时钟信号,当然也可以采用 OCXO 提供的时钟信号进行倍频处理得到全局工作时钟信号。

其中步骤 103 中,计数鉴相器 PD1 采用 102.4MHz 的全局工作时钟对 8KHz 的参考源时钟信号进行计数,计数值为 12800,采用 102.4MHz 的全局工作时钟对 7.99KHz 的参考源时钟信号进行计数,计数值取整为 12816,检相值为 $12800-12816=-16$ 。

其中步骤 104 中,数字低通滤波器 D_LPF 除对得到的检相值-16 进行数字滤波处理外,还可以将检相值-16 保存在一 RAM 块中,当参考时钟信号丢失

后,则利用 RAM 中的鉴相值,代入公式 $\frac{2^x+N}{2^y}$ 得到分频系数 16368/4194304,利用得到的分频系数 16368/4194304 对 102.4MHz 的全局工作时钟对进行分频处理得到 399.6kHz 的时钟信号,这样当参考时钟信号丢失锁相环路进入保持状态后,使用 RAM 中的鉴相值使锁相环工作在稳定的保持模式,具体就是在参考时钟信号恢复之前,将利用 RAM 中的鉴相值得到的 399.6kHz 的时钟信号作为步骤 106 中分频器 2 的输入,使得锁相环工作在稳定的保持模式。

数字低通滤波器 D_LPF 除对得到的检相值-16 进行数字滤波处理,具体过程为,数字低通滤波器根据预设定的积分系数进行积分运算,根据预设定的比例系数进行乘法运算得到数字滤波后的鉴相值。

其中步骤 105 中, $\frac{2^x+N}{2^y}$ 为根据 N 值得到的分频系数,x 为影响 N 值对 NCO 输出精度的系数,本实施例 x 取 14, y 为影响分频系数的系数,本实施例 y 取 22,当然也可以是 x 取 15, y 取 23,若 N 还采用-16,则对 102.4MHz 的全局工作时钟进行分频处理得到 399.8kHz(实际值为 399804.6875Hz 为描述方便本

实施例使用 399.8kHz)的时钟信号,分频器 1 采用固定分频系数 50 对 399.8kHz 时钟信号进行分频处理得到 7.996kHz 的本地时钟信号。

还以 7.992kHz 的本地时钟信号为例,本地时钟信号由 7.99kHz 变为 7.992kHz 后,计数鉴相器 PD1 采用 102.4MHz 的全局工作时钟对 8kHz 的参考源时钟信号和改变后的 7.992kHz 的本地时钟信号进行计数鉴相得到的鉴相值为-12,经低通滤波器 D_LPF 对得到的鉴相值-12 进行数字滤波处理之后,数字控制振荡器 NCO 在得到鉴相值为-12 的全局工作时钟周期内,通过 $\frac{2^x+N}{2^y}$ 对 102.4MHz 的全局工作时钟进行分频处理,进而由分频器 1 进行分频处理,得到 7.994kHz 的本地时钟信号,即本地时钟信号由 7.992kHz 变为 7.994kHz。通过上述过程,NCO 控制输出时钟的频率,跟踪并最终锁定参考时钟信号。

其中步骤 108 中,相位调整模块采用 FPGA 内部 IP Core 来实现,其相位调整公式如下:

$$\Phi = 1/8 * T_{VCO} = 1/8 f_{VCO} = n/8mf_{ref}$$

f_{ref} 为输入参考频率。举例说明此公式的应用,例如 f_{ref} 为 77.76MHz 的备用时钟信号的频率, $n=1,m=8$,那么 $f_{VCO} = 622.08\text{MHz}$, $\Phi = 1/4976.64 \text{ ms}$,即每次可调整的相位差约为 200.94ps。 m 为 f_{ref} 的倍频系数, n 为调整 Φ 的次数,如上例中 $n=2$,则每次可调整的相差为 $200.94 \times 2\text{ps}$ 。

本实施例在采用包括 TCXO 和 NCO 的数字锁相环,锁定输出本地时钟信号,使得后级 VCXO 普通模拟锁相环去抖后的时钟信号经过驱动芯片送给 SDH 业务板使用,实现了通过数字锁相环实现时钟单元,输出时钟信号的稳定。

本发明提供的第二实施例是一种时钟单元装置,如图 3 所示,包括:

第一鉴相器 201: 用于采用全局工作时钟对参考时钟信号和本地时钟信号进行计数鉴相处理得到鉴相值;

数字控制振荡器 202: 用于采用根据鉴相值得到的分频系数对全局工作时钟进行分频处理;



第一分频器 203: 用于通过第一分频系数对全局工作时钟进行分频处理后得到的时钟信号进行分频处理得到本地时钟信号。

进一步, 还包括:

5 数字低通滤波器 204: 用于根据预设定的积分系数和比例系数对鉴相值进行数字滤波;

数字控制振荡器 202: 还用于根据数字滤波后的鉴相值得到对全局工作时钟进行分频处理的分频系数。

10 进一步, 数字控制振荡器 202: 还用于通过 $\frac{2^x + N}{2^y}$ 得到分频系数对全局工作时钟进行分频处理, x 为鉴相值影响全局工作时钟分频后输出精度的系数, y 为影响分频系数的系数, N 为进行数字滤波处理后的鉴相值。

进一步, 还包括:

第二分频器 205: 用于通过第二固定分频系数对全局工作时钟进行分频处理后得到的时钟信号进行分频处理;

15 第三分频器 206: 用于通过第三固定分频系数对给 SDH 业务板使用的时钟信进行分频处理;

第二鉴相器 207: 用于对通过第二固定分频系数得到的时钟信号, 与通过第三固定分频系数得到的时钟信号进行异或鉴相;

模拟去抖锁相环 208: 用于将异或鉴相得到的结果进行模拟锁相去抖处理, 得到给 SDH 业务板使用的时钟信号。

20 进一步, 还包括:

相位调整模块 209: 用于根据备用时钟信号和去抖后提供给 SDH 业务板使用的时钟信号控制相位调整。

25 进一步, 数字控制振荡器 202: 还用于将数字滤波后的鉴相值保存在 RAM 中, 若参考时钟信号丢失, 则采用根据 RAM 中的鉴相值得到的分频系数对全局工作时钟进行分频处理;



第一分频器 203: 还用于通过第二固定分频系数对根据 RAM 中的鉴相值得到的时钟信号进行分频处理。

进一步, 还包括: 源选择模块 210: 用于从光线路时钟信号和外时钟信号中选择参考源时钟信号。

- 5 进一步, 还包括: PLL 倍频模块 211: 用于对 TCXO (温度补偿晶体) 提供的时钟信号进行倍频处理, 得到全局工作时钟信号。

显然, 本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样, 倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内, 则本发明也意图包含这些改动和变型在内。

说明书附图

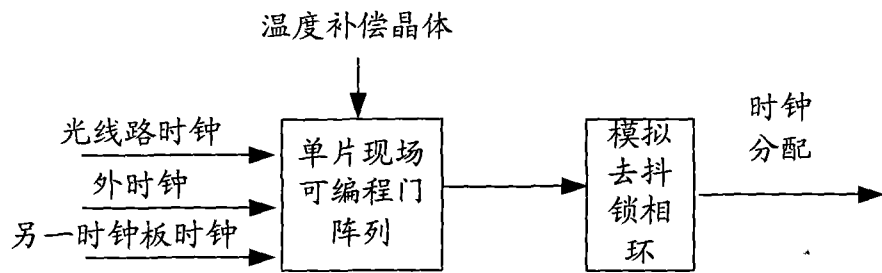


图 1

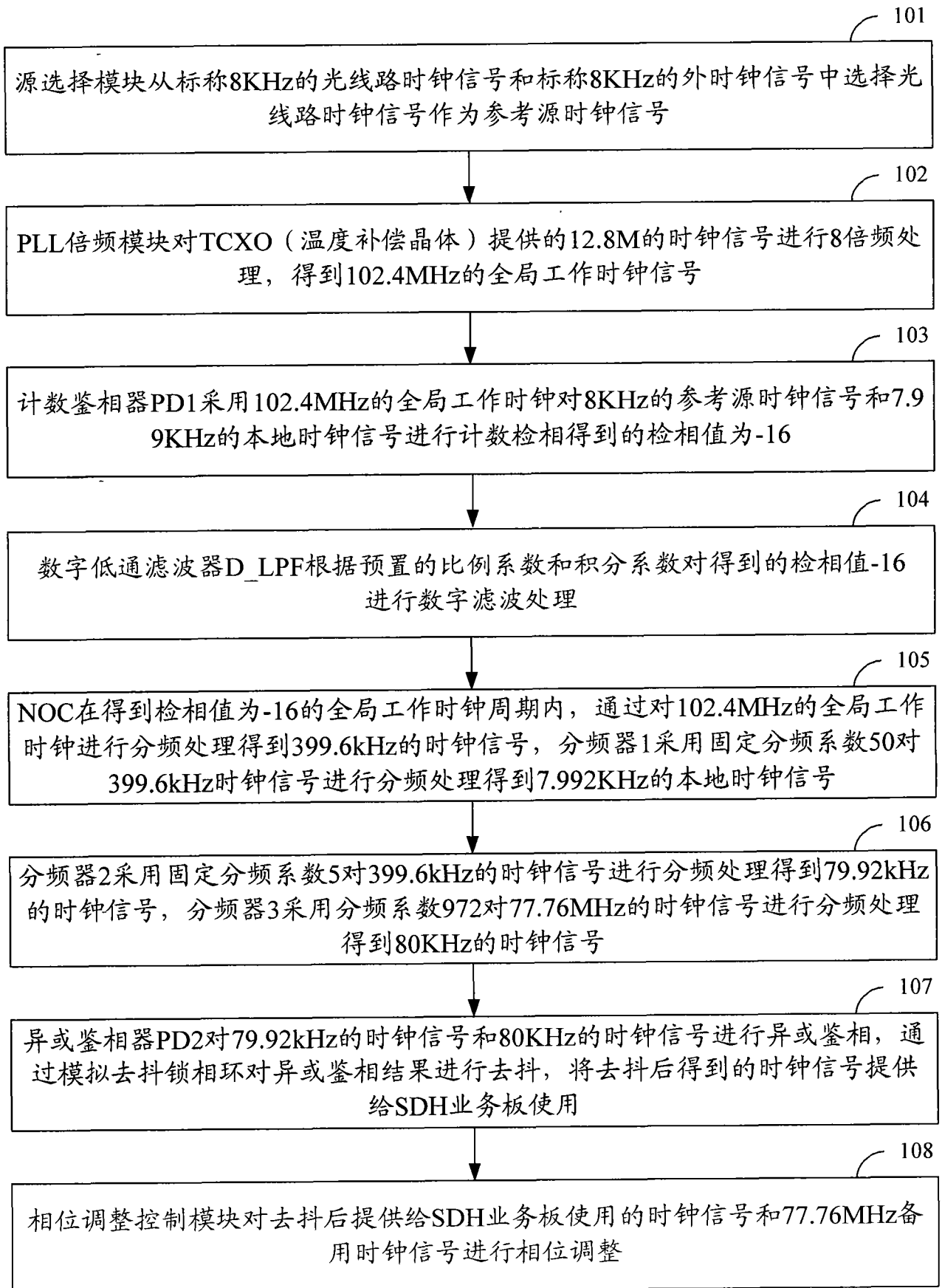


图 2

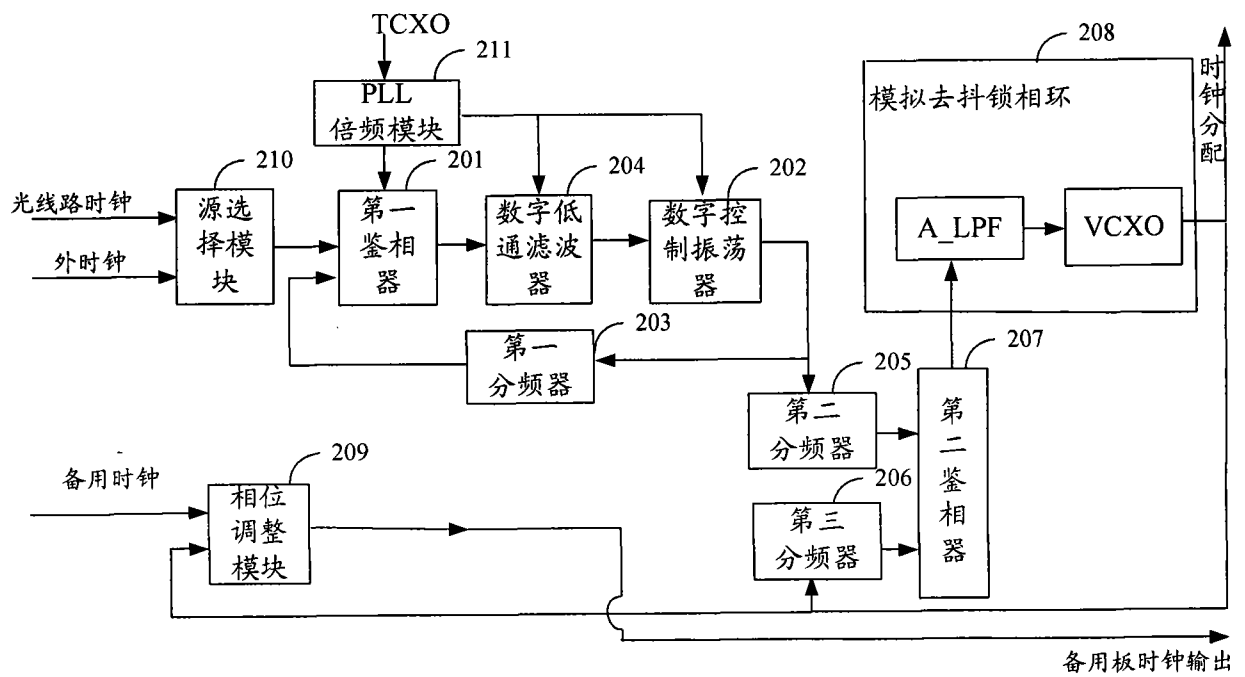


图 3