



PCT

WELTORGANISATION FÜR GEISTIGES EIGENTUM
Internationales Büro

INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE
INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

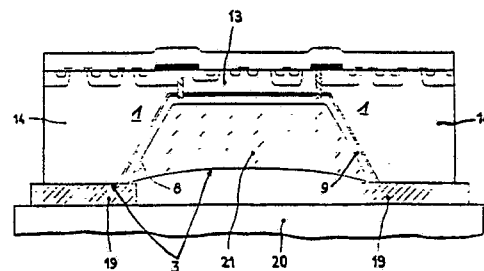
<p>(51) Internationale Patentklassifikation ⁵ : H01L 29/06, 27/04, 21/72</p>	<p>A2</p>	<p>(11) Internationale Veröffentlichungsnummer: WO 93/17459 (43) Internationales Veröffentlichungsdatum: 2. September 1993 (02.09.93)</p>
<p>(21) Internationales Aktenzeichen: PCT/EP93/00319 (22) Internationales Anmeldedatum: 10. Februar 1993 (10.02.93) (30) Prioritätsdaten: P 42 04 004.3 12. Februar 1992 (12.02.92) DE (71) Anmelder (für alle Bestimmungsstaaten ausser US): DAIMLER-BENZ AKTIENGESELLSCHAFT [DE/DE]; Postfach 80 02 30, D-7000 Stuttgart 80 (DE). (72) Erfinder; und (75) Erfinder/Anmelder (nur für US) : BODENSOHN, Alexander [DE/DE]; Offenbacher Landstraße 100, D-6452 Hainburg (DE). HENKEL, Heinz [DE/DE]; Franz-Liszt-Straße 8, D-6053 Obertshausen (DE).</p>		<p>(74) Anwalt: VOGL, Leo; AEG Aktiengesellschaft, Patent- und Lizenzwesen, Theodor-Stern-Kai 1, D-6000 Frankfurt/Main 70 (DE). (81) Bestimmungsstaaten: JP, US, europäisches Patent (AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE). Veröffentlicht <i>Ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts.</i></p>

(54) Title: PROCESS FOR PRODUCING A SEMICONDUCTOR STRUCTURE AND SEMICONDUCTOR STRUCTURE PRODUCED ACCORDING TO THIS PROCESS

(54) Bezeichnung: VERFAHREN ZUR HERSTELLUNG EINER HALBLEITERSTRUKTUR UND NACH DEM VERFAHREN HERGESTELLTE HALBLEITERSTRUKTUR

(57) Abstract

A vertical semiconductor component (14) may be integrated on a common semiconductor body (1) together with lateral semiconductor components (13) being insulated from the vertical semiconductor component (14) by means of a pn-junction. One of the inconvenients of this type of insulation is that much space is needed for spreading the space charge region of the pn-junction. It is therefore advantageous to insulate in another manner according to which partial structures (7) containing lateral semiconductor components (13) are laterally surrounded by insulating walls (6). These walls extend from a first surface (2) of the semiconductor body (1) down to a determined depth thereof; in the area of the partial structures (7), the semiconductor body (7) has a second surface (3) that reduces its thickness, in the manner of a recess (9) that extends up to the insulating walls (6). Several vertical components may be integrated in the semiconductor body outside the partial structures (7).



(57) Zusammenfassung

Es läßt sich neben lateralen Halbleiterbauelementen (13) ein vertikales Halbleiterbauelement (14) auf einem gemeinsamen Halbleiterkörper (1) integrieren, wenn die lateralen Halbleiterbauelemente (13) gegenüber dem vertikalen Halbleiterbauelement (14) durch einen pn-Übergang gegeneinander isoliert sind. Bei dieser Art der Isolierung ist unter anderem nachteilig, daß viel Platz für die Ausbreitung der Raumladungszone des pn-Übergangs belegt wird. Deshalb ist es günstig, eine andere Art der Isolierung vorzunehmen; dazu werden laterale Halbleiterbauelemente (13) enthaltende Teilstrukturen (7) durch isolierende Wände (6) seitlich umgeben. Die Wände reichen bis zu einer bestimmten Tiefe von einer ersten Oberfläche (2) des Halbleiterkörpers (1) her in diesen hinein; im Bereich der Teilstrukturen (7) ist der Halbleiterkörper (7) von einer zweiten Oberfläche (3) her in seiner Dicke vermindert, und zwar derart, daß eine Ausnehmung (9) entsteht, die bis zu den isolierenden Wänden (6) reicht. Außerhalb der Teilstrukturen (7) lassen sich mehrere vertikale Bauelemente in den Halbleiterkörper integrieren.

LEDIGLICH ZUR INFORMATION

Code, die zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AT	Österreich	FR	Frankreich	MR	Mauritanien
AU	Australien	GA	Gabon	MW	Malawi
BB	Barbados	GB	Vereinigtes Königreich	NL	Niederlande
BE	Belgien	GN	Guinea	NO	Norwegen
BF	Burkina Faso	GR	Griechenland	NZ	Neuseeland
BG	Bulgarien	HU	Ungarn	PL	Polen
BJ	Benin	IE	Irland	PT	Portugal
BR	Brasilien	IT	Italien	RO	Rumänien
CA	Kanada	JP	Japan	RU	Russische Föderation
CF	Zentrale Afrikanische Republik	KP	Demokratische Volksrepublik Korea	SD	Sudan
CG	Kongo	KR	Republik Korea	SE	Schweden
CH	Schweiz	KZ	Kasachstan	SK	Slowakischen Republik
CI	Côte d'Ivoire	LI	Liechtenstein	SN	Senegal
CM	Kamerun	LK	Sri Lanka	SU	Soviet Union
CS	Tschechoslowakei	LU	Luxemburg	TD	Tschad
CZ	Tschechischen Republik	MC	Monaco	TG	Togo
DE	Deutschland	MG	Madagaskar	UA	Ukraine
DK	Dänemark	MI	Mali	US	Vereinigte Staaten von Amerika
ES	Spanien	MN	Mongolei	VN	Vietnam
FI	Finnland				

1

Beschreibung

Verfahren zur Herstellung einer Halbleiterstruktur
und nach dem Verfahren

5

hergestellte Halbleiterstruktur

Die Erfindung betrifft ein Verfahren zur Herstellung einer Halbleiterstruktur mit mehreren vertikalen und mindestens einem lateralen Halbleiterbauelement, die in einem scheibenförmigen Halbleiterkörper mit einer ersten und einer ihr gegenüberliegenden zweiten Oberfläche integriert sind, wobei unterhalb der ersten Oberfläche und innerhalb einer gegenüber benachbarten Bereichen isolierten Teilstruktur das/die laterale(n) Halbleiterbauelement(e) angeordnet wird/werden und die vertikalen Halbleiterbauelemente sich zwischen der ersten und der zweiten Oberfläche erstrecken. Die Dicke des Halbleiterkörpers ist im Bereich der Teilstruktur vermindert.

Ein Verfahren zur Herstellung einer Halbleiterstruktur geht aus der EP-A-0 193 172 hervor. Dort ist ein vertikaler MOS-Transistor beschrieben, der in einem Halbleiterkörper neben einem lateralen Schaltkreis angeordnet ist. Der MOS-Transistor und der laterale Schaltkreis sind durch einen pn-Übergang gegeneinander isoliert. Aus dem genannten Dokument geht nicht hervor, mehrere vertikale Bauelemente in dem Halbleiterkörper zu integrieren. Nachteilig ist bei der genannten Art der Isolierung, daß die bei dem pn-Übergang vorhandene Raumladungszone viel Platz beansprucht, der nicht für die Einfügung von Bauelementen genutzt werden kann. Außerdem kann die Dotierung der neben der Isolierung liegenden Bereiche nicht frei gewählt werden, es muß nämlich - für die Entstehung einer Raumladungszone - stets eine p-dotierte und eine n-dotierte Zone im Wechsel vorhanden sein, damit ein pn-Übergang entsteht. Ferner ist nachteilig, daß bei einem pn-Übergang stets auf die richtige Polung (in Sperrichtung) geachtet werden muß, da ansonsten die isolierende Wirkung des Übergangs verlorenght. Das erlaubte Potential in dem einen Bereich ist also abhängig von dem in dem anderen - hinter dem pn-Übergang liegenden - Bereich.

2

- 1 Der Erfindung liegt die Aufgabe zugrunde, ein Verfahren zur
Herstellung einer Halbleiterstruktur mit mehreren integrierten
Halbleiterbauelementen zu nennen und eine solche Halbleiterstruktur
bereitzustellen, die auf engstem Raume neben mindestens einem
5 lateralen Halbleiterbauelement mehrere unabhängig davon betreibbare
vertikale Halbleiterbauelemente enthält.

Die Aufgabe für das Verfahren wird erfindungsgemäß durch das Verfahren
zur Herstellung einer Halbleiterstruktur nach Anspruch 1 gelöst.

- 10 Die Aufgabe für die Bereitstellung der Halbleiterstruktur wird
erfindungsgemäß durch die Halbleiterstruktur nach Anspruch 13 gelöst.

- Bei dem Verfahren treten keinerlei Beschädigungen in der
Kristallstruktur auf. Zur Herstellung der Halbleiterstruktur werden
15 bekannte Diffusionsverfahren verwendet, wobei auch die Kontaktierung
und die Passivierung vorbestimmter Oberflächenbereiche mit üblichen
Verfahrensmaßnahmen durchgeführt werden können. Das Verfahren
ermöglicht die Verwendung von gleichen Teilstrukturen für Leistungs-
und Signalbauelemente. Die vertikalen Bauelemente unterscheiden sich
20 von lateralen unter anderem in der Dotierung der tieferen Schichten.

- Bei der Halbleiterstruktur nach Anspruch 13 sind mehrere vertikale
Halbleiterbauelemente in einem Halbleiterkörper integriert. Die
Halbleiterstruktur ist so auslegbar, daß innerhalb der Teilstrukturen
25 laterale Halbleiterbauelemente angeordnet sind, die als Signalelemente
für außerhalb der Teilstrukturen platzierte vertikale
Leistungsbauelemente dienen.

- Andere Weiterbildungen der Erfindung sind den Unteransprüchen zu
30 entnehmen.

Es zeigen

- Fig. 1 einen scheibenförmigen Halbleiterkörper mit bereits erzeugten
Teilstrukturen vor der Aufteilung in die Bereiche für die
35 lateralen und die vertikalen Bauelemente;
Fig. 2 den Halbleiterkörper nach dem Einbringen einer Ausnehmung;
Fig. 3 den Halbleiterkörper nach weiteren Prozeßschritten;

- 1 Fig. 4 die Weiterverarbeitung des Halbleiterkörpers an der ersten
Oberfläche;
Fig. 5 den Halbleiterkörper nach der Weiterverarbeitung an der
zweiten Oberfläche;
5 Fig. 6 den Halbleiterkörper mit der Struktur aus lateralen und
vertikalen Bauelementen;
Fig. 7 einen weiteren Halbleiterkörper nach dem Trockenätzen von
Isoliergräben;
Fig. 8 den Halbleiterkörper gem. Fig. 7 nach einem weiteren
10 Prozeßschritt;
Fig. 9 den Halbleiterkörper gem. Fig. 7 nach dem Entstehen eines
Testfensters und
Fig. 10 einen scheibenförmigen Halbleiterkörper mit mehreren
vertikalen Leistungsbaulementen.

15

Bei dem Ausführungsbeispiel wird in Fig. 1 von einem scheibenförmigen
Halbleiterkörper (1) aus Silizium ausgegangen, welcher eine erste
Oberfläche (2) und eine zweite Oberfläche (3) aufweist. Durch
Diffusion werden zunächst Bereiche (4) erzeugt, in welche durch einen
20 weiteren Diffusionsschritt Teilbereiche (5) eingelassen sind. Hierbei
handelt es sich Bereiche (4) und Teilbereiche (5), die für die
Integrierung sowohl von lateralen Halbleiterbauelementen als auch von
vertikalen Halbleiterbauelementen angelegt werden. Bei der Herstellung
von mehreren lateralen Halbleiterbauelementen unterhalb der Oberfläche
25 (2) des Halbleiterkörpers (1) ist es üblich, diese
Halbleiterbauelemente in ihrer Umgebung gegenüber Nachbarbereichen des
Halbleiterkörpers (1) zu isolieren, damit sie unabhängig von
benachbarten Halbleiterbauelementen in Funktion treten können. Zur
seitlichen Isolation werden dazu zunächst isolierende Wände (6) bis zu
30 einer bestimmten Tiefe erzeugt, die die Teilstruktur (7) ringsum
seitlich umgeben.

Diese isolierenden Wände (6) werden in bekannter Weise dadurch
hergestellt, daß Gruben durch Plasmaätzen erzeugt werden, die
35 anschließend mit einem isolierenden Material aufgefüllt werden.
Ferner wird auf der zweiten Oberfläche (3) eine Ätzmaske (8)
aufgebracht. Da die Fig. 1 wie auch die weiteren Figuren nur
Teilausschnitte eines Halbleiterkörpers (1) mit mehreren

4

1 Strukturbereichen darstellen, sind auf dem gesamten Halbleiterkörper
(1) mehrere Teilstrukturen (7) vorhanden, so daß die Ätzmaske (8)
dementsprechend zu strukturieren ist, daß jeweils der unterhalb der
Teilstruktur (7) liegende Bereich der Oberfläche (3) nicht von der
5 Ätzmaske (8) bedeckt ist.

Die vertikalen Halbleiterbauelemente unterscheiden sich von den
lateralen unter anderem in der Dotierung der tieferen Schichten und
sind Leistungselemente, während die lateralen Halbleiterbauelemente
Signalbauelemente sind.

10

In Fig. 2 wird die Herstellung einer Ausnehmung (9) erläutert. In dem
Ausführungsbeispiel soll die Ausnehmung (9) durch einen anisotropen
Ätzprozeß erzeugt werden. Dazu wird ein Halbleiterkörper (1)
verwendet, dessen Oberfläche (3) eine $\langle 100 \rangle$ -Ebene darstellt. Zum Ätzen
15 wird eine KOH-Lösung verwendet, die das Material derart angreift, daß
die Seitenwände (10) eine $\langle 111 \rangle$ -Ebene sind. Durch den Ätzprozeß wird
die Dicke des Halbleiterkörpers (1) in dem Bereich der Ausnehmung (9)
vermindert, und zwar so weit, daß der Boden (11) der Ausnehmung (9)
bis an die Wände (6) heranreicht und sich dadurch eine Siliziummembran
20 bildet, deren Dicke ungefähr gleich der Tiefe der Wände (6) ist.

Zur Vereinfachung und besseren Handhabung kann auf der Rückseite, also
auf der Oberfläche (2), bei Bedarf vorübergehend eine Verstärkung der
Siliziummembran, beispielsweise eine Schicht aus Polyimid, aufgetragen
25 werden.

Der Boden (11) wird mit einer elektrisch isolierenden Schicht (12)
bedeckt, beispielsweise einer Siliziumoxidschicht, wie es in Fig. 3
dargestellt ist. Die Teilstruktur (7) ist nunmehr allseitig gegen ihre
30 Umgebung elektrisch isoliert und stellt bis auf die Kontaktierung ein
laterales Halbleiterbauelement dar.

Um eine noch bessere funktionale Trennung der integrierten
Halbleiterbauelemente zu erzielen, ist es günstig, nicht nur den Boden
35 (11) der Ätzgrube (9), sondern auch deren Wände (10) mit einer
Oxidschicht zu bedecken, die in Fig. 3 mit dem Bezugszeichen (15)
versehen ist. Wenn diese Oxidschicht durch thermische Oxidation
erzeugt wird, werden die Oberflächenbereiche, die nicht oxidiert

5

1 werden sollen, durch eine Si₃N₄-Schicht abgedeckt. Die Oxidschicht
(15) wird dann noch mit einer elektrisch schlecht leitenden Schicht
(16) (Passivierungsschicht) bedeckt, die z. B. aus amorphem Kohlenstoff
oder amorphem Siliziumcarbid bestehen kann. Diese Materialien sind
5 elektrisch schlecht leitend, weisen jedoch eine gute
Wärmeleitfähigkeit auf und sollen im wesentlichen zur Abführung der
Verlustwärme der Bauelemente dienen. Es ist auch möglich, diese
schlecht leitende Schicht (16) direkt ohne vorherige Oxidation
aufzubringen, dann kann der Halbleiterkörper (1) wegen fehlender
10 Oxidation bei hoher Temperatur weitgehend vor dem anisotropen Ätzen
fertig prozessiert werden. Da die Metallisierung und die Passivierung
schon vor dem Ätzen aufgebracht und strukturiert werden können, wird
der Prozeß vereinfacht.

15 Wie in Fig. 4 dargestellt, dienen Kontakte (17) zur Kontaktierung der
Teilstruktur (7), wodurch die lateralen Halbleiterbauelemente (13)
funktionsgerecht fertiggestellt sind. Gleichzeitig mit den Kontakten
(17) werden auch die Kontakte von außerhalb der Teilstruktur (7)
befindlichen vertikalen Halbleiterbauelementen aufgebracht und
20 strukturiert. Die Oberfläche (2) wird dann noch mit einer
Passivierungsschicht (18) überzogen.

Anschließend wird die Oberfläche (3) mit Fotolack (22) (Fig. 5)
- gegebenenfalls mehrmals - bedeckt. Der Fotolack (22) wird so
25 aufgetragen, daß die Ätzgrube (9) mit einer dickeren Schicht bedeckt
ist als die Bereiche auf der zweiten Oberfläche (3). Als nächster
Verfahrensschritt schließt sich ein Trockenätzprozeß an, in dem das
Schichtsystem aus Fotolack (22), der elektrisch schlecht leitenden
Schicht (16) und der Si₃N₄-Schicht bis auf einen Teil der Schicht in
30 der Ätzgruppe (9) entfernt wird. Aufgrund der dickeren Schicht in der
Ätzgruppe (9) wird nämlich nur eine Teilschicht abgetragen. Bei diesem
Trockenätzprozeß wird die Oberfläche (3) des Halbleiterkörpers (1)
freigelegt und steht damit für selektive Kontaktierungssysteme oder
zur Herstellung von Legierungskontakten zur Verfügung.

35 Die Fig. 6 zeigt einen Halbleiterkörper (1) mit einer auf die
vorstehend angegebene Art hergestellten Kontaktierung. Der
Halbleiterkörper (1) wird hierbei auf einen Träger (20) mit

6

- 1 strukturierter Metallisierung (19), z. B. Gold, aufgebracht. In einem Legierungsprozeß verbindet sich das Silizium und die Metallisierung, so daß es zu einem Kontakt mit hoher Qualität kommt.
- 5 Zur Verstärkung der Siliziummembran – also des Bodens (11) der Ausnehmung (9) – kann vor dem Kontaktieren ein Füllmaterial (21) – beispielsweise Fotolack – aufgebracht werden, wodurch Druckbelastungen und mechanische Einflüsse gedämpft werden. Bei dem weiter oben erwähnten Fotolack (22) handelt es sich um eine nur
- 10 zeitweise genutzte Schicht, welche die selektive selbstjustierende Strukturierung (Trockenätzprozeß) der Oberfläche (3) unterstützt und die Stabilität des geätzten Halbleiterkörpers (1) für die Dauer der daran anschließenden Verfahrensschritte gewährleistet. Demgegenüber ist das Füllmaterial (21) eine dauerhafte Unterstützung der
- 15 Siliziummembran und erleichtert gegebenenfalls eine strukturierte Metallisierung der Oberfläche (3) bei üblichen fotolithographischen Verfahren.

Es ist für nicht selektive Metallisierungen auch möglich, die

20 Oberfläche (3) zu planarisieren. Dann kann die den lateralen Bauelementen (13) abgewandte Oberfläche (3) des Halbleiterkörpers (1) vollständig metallisiert und anschließend strukturiert werden.

Die Fig. 7 zeigt eine Siliziumscheibe mit einem Trenngraben (6')

25 (selbstverständlich ist auch die Einfügung mehrerer Trenngräben (6') denkbar). Zusätzlich zu dem Trenngraben (6') ist eine Ausnehmung bzw. ein weiterer Graben vorhanden. Der Graben hat die gleiche Tiefe wie der Trenngraben (6') aber eine größere Breite als dieser. Dieser Graben ist in den Figuren 7 und 8 als Testfenster (23) bezeichnet. Der

30 Trenngraben (6') und das Testfenster (23) werden aufgefüllt, allerdings wird wegen der größeren Öffnung des Testfensters (23) dieses im Gegensatz zu dem Trenngraben (6') nicht vollständig aufgefüllt. Deshalb bleibt nach dem folgenden planarisierenden Oxidätzen am Boden des Testfensters (23) nur eine dünne Oxidschicht

35 erhalten.

Die Fig. 9 zeigt die Siliziumscheibe mit dem Testfenster (23) nach dem anisotropen Ätzen.

7

1

Die beiden Strukturen sind in Fig. 9 nach dem anisotropen Ätzen gezeigt. Wenn die Ätzgruben die Testfenster (23) erreichen, entstehen wegen der nur dünnen Schicht Durchbrüche, die durch Augenschein
5 erkennbar sind. Da die Testfenster (23) die gleiche Tiefe wie die Trenngräben (6') haben, kann so das Ätzen gesteuert werden. Durch die Durchbrüche in den Testfenstern (23) wird das spätere Belacken des Halbleiterkörpers (1) beeinträchtigt, deshalb sind diese
10 Teststrukturen bevorzugt im Randbereich des Halbleiterkörpers (1) zu platzieren.

Mit der Erfindung ist es möglich, eine Halbleiterstruktur mit mehreren integrierten vertikalen Halbleiterbauelementen zu erzeugen, indem eine entsprechende Struktur vorgesehen wird. Die Fig. 10 zeigt die zweite
15 Oberfläche (3) einer Halbleiterscheibe (24), die vier Leistungsbauelemente hat, deren Ätzmasken (8) zu erkennen sind. Insbesondere lassen sich durch eine symmetrische Anordnung der Leistungsbauelemente zwei oder mehrere solcher Bauelemente in dem gleichen Halbleiterkörper unterbringen. Die Leistungsbauelemente sind
20 insbesondere an den Ecken des quaderförmigen Halbleiterkörpers angeordnet. Gemäß Fig. 10 weist jede Ecke ein vertikales Leistungsbauelement auf.

Bei der nach dem oben beschriebenen Verfahren hergestellten Halbleiterstruktur werden Äquipotentialflächen durch eine isolierende
25 Rückseite der Siliziummembran - also durch eine Isolierung der Oberfläche (3) in Höhe der Ausnehmung (9) - günstig beeinflusst. Dadurch ist es auch möglich, laterale Halbleiterbauelemente für hohe Spannungen (z. B. 1 000 V) in der Teilstruktur (7) - innerhalb der dünnen Membran - und übliche, monolithisch integrierte
30 Halbleiterschaltungen in Bereichen außerhalb der Teilstruktur (7) auszubilden.

35



1

Patentansprüche

1. Verfahren zur Herstellung einer Halbleiterstruktur mit mehreren vertikalen und mindestens einem lateralen Halbleiterbauelement (laterales Halbleiterbauelement [13], vertikales Halbleiterbauelement [14]), die in einem scheibenförmigen Halbleiterkörper (1) mit einer ersten und einer ihr gegenüberliegenden zweiten Oberfläche (erste Oberfläche [2], zweite Oberfläche [3]) integriert sind, wobei unterhalb der ersten Oberfläche das/die lateralen Halbleiterbauelement(e) (13) angeordnet wird/werden und die vertikalen Halbleiterbauelemente (14) sich zwischen der ersten und der zweiten Oberfläche erstrecken, mit folgenden Verfahrensschritten:
- a) Bilden mindestens einer Teilstruktur (7) mit mindestens einem lateralen Halbleiterbauelement (13) im Innern;
 - b) Bilden mehrerer dotierter Bereiche (4) und darin eingebetteter Teilbereiche (5) außerhalb der Teilstruktur(en);
 - c) Umgeben der Teilstruktur (7) mit mindestens einer vertikalen, elektrisch isolierenden Wand (6), die sich bis zu einer bestimmten Tiefe von der ersten Oberfläche (2) her in den Halbleiterkörper (1) erstreckt,
 - d) Vermindern der Dicke des Halbleiterkörpers (1) von der zweiten Oberfläche (3) her im Bereich der Teilstruktur(en) (7) bis zu der/den isolierenden Wand/Wänden (6), wodurch jeweils eine Ausnehmung (9) in dem Halbleiterkörper entsteht,
 - e) Isolieren des Bodens jeder Ausnehmung (9) und
 - f) strukturiertes Metallisieren und/oder Passivieren der ersten und zweiten Oberfläche (2, 3) derart, daß mindestens ein laterales Bauelement (13) im Bereich oberhalb des Bodens (11) jeder Ausnehmung (9) und vertikale Bauelemente (14) außerhalb der Ausnehmungen (9) entstehen.

35

9

- 1 2. Verfahren nach Anspruch 1,
dadurch gekennzeichnet,
daß die zweite Oberfläche (3) eine $\langle 100 \rangle$ -Ebene ist, daß die
Ausnehmung(en) (9) durch Ätzen erzeugt werden und daß als
5 Ätzlösung eine KOH-Lösung verwendet wird, wobei an der/den
Ausnehmung(en) (9) Wände entstehen, die in $\langle 111 \rangle$ -Ebenen liegen.
3. Verfahren nach einem der Ansprüche 1 oder 2,
dadurch gekennzeichnet,
10 daß die Teilstruktur(en) (7) mit dem/den lateralen Bauelement(en)
(13) in (einem) Bereich(en) (4) liegt/liegen, der/die den
entgegengesetzten Leitungstyp wie das Ausgangsmaterial des
Halbleiterkörpers (1) aufweist/aufweisen.
- 15 4. Verfahren nach Anspruch 3,
dadurch gekennzeichnet,
daß in dem/den Bereich(en) (4) Teilbereiche (5) vorbestimmten
Leitungstyps und/oder vorbestimmter Dotierungskonzentration
eingelassen sind, welche den Bauelementtyp bestimmen.
20
5. Verfahren nach einem der vorangehenden Ansprüche,
dadurch gekennzeichnet,
daß zur Herstellung der elektrisch isolierenden Wand/Wände (6)
entsprechende Gruben durch Plasma-Ätzen erzeugt werden und daß die
25 Gruben anschließend mit einem elektrisch isolierenden Material
gefüllt werden.
6. Verfahren nach einem der vorangehenden Ansprüche,
dadurch gekennzeichnet,
30 daß der Boden (11) jeder Ausnehmung (9) mit einer
Siliziumoxidschicht (15) bedeckt wird.
7. Verfahren nach einem der Ansprüche 1 bis 5,
dadurch gekennzeichnet,
35 daß die Wände (10) und der Boden (11) jeder Ausnehmung (9) mit
einer Siliziumoxidschicht (15) bedeckt werden.

10

- 1 8. Verfahren nach Anspruch 6 oder 7,
dadurch gekennzeichnet,
daß die Bereiche des Halbleiterkörpers (1), die nicht oxidiert
werden sollen, zunächst mit einer Si₃N₄-Schicht abgedeckt werden,
5 bevor die Siliziumoxidschicht (15) durch thermische Oxidation
erzeugt wird.
9. Verfahren nach einem der Ansprüche 6 bis 8,
dadurch gekennzeichnet,
10 daß die Siliziumoxidschicht (15) mit einer elektrisch nicht
leitenden Schicht (16) überzogen wird.
11. Verfahren nach einem der vorangehenden Ansprüche,
dadurch gekennzeichnet,
15 daß die Ausnehmung(en) (9) zumindest teilweise mit einem
Füllmaterial (21) ausgefüllt wird/werden.
12. Verfahren nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet,
20 daß im Halbleiterkörper (1) wenigstens ein als Testfenster (23)
dienender Graben erzeugt wird, der in der Tiefe mit den
Trenngräben (6') für die elektrisch isolierenden Wände (6)
übereinstimmt und breiter als diese ausgebildet ist und daß die
Dicke des Halbleiterkörpers (1) vermindert wird, bis der Boden des
25 Grabens durchbrochen ist.

30

35

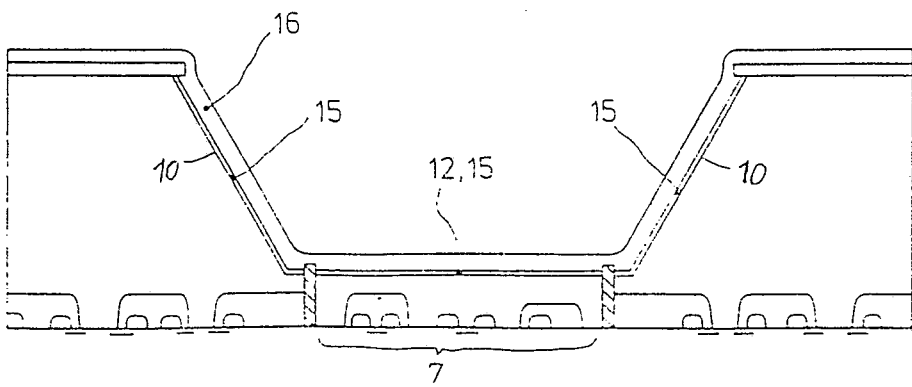
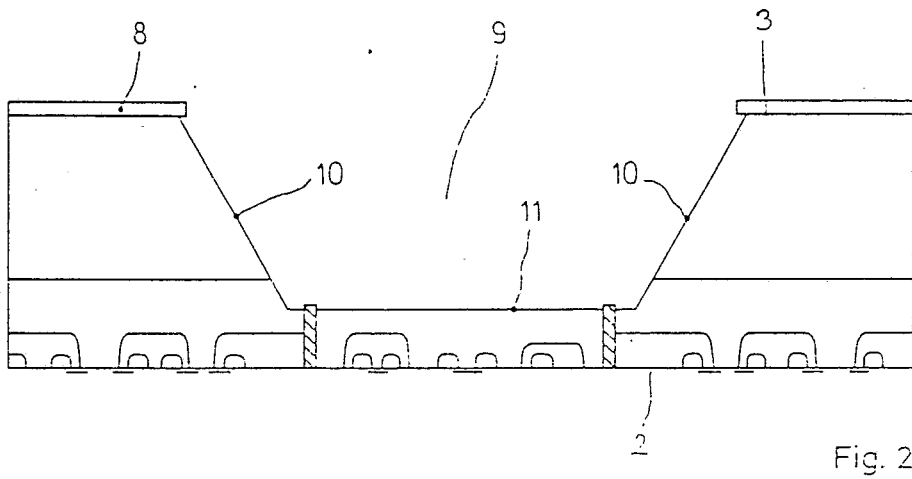
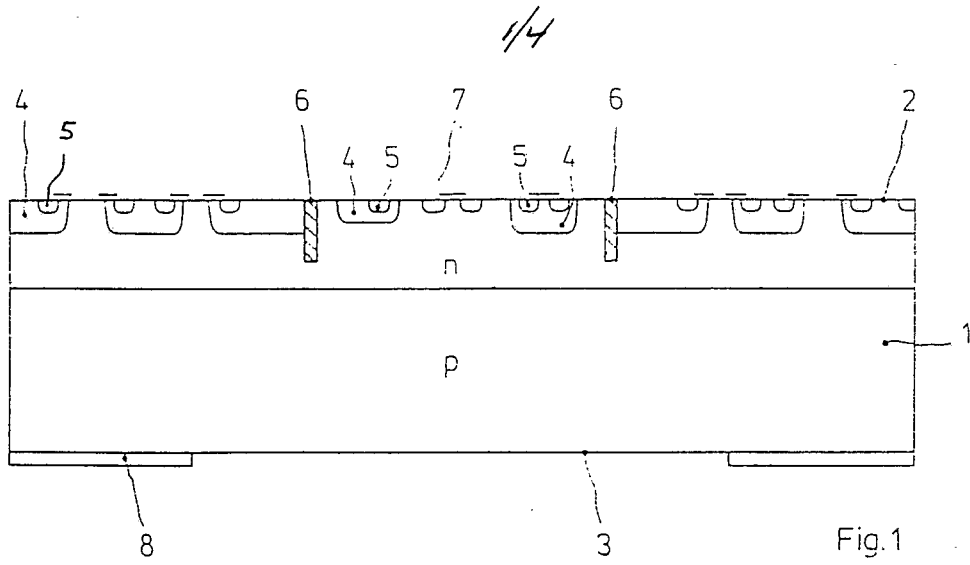
//

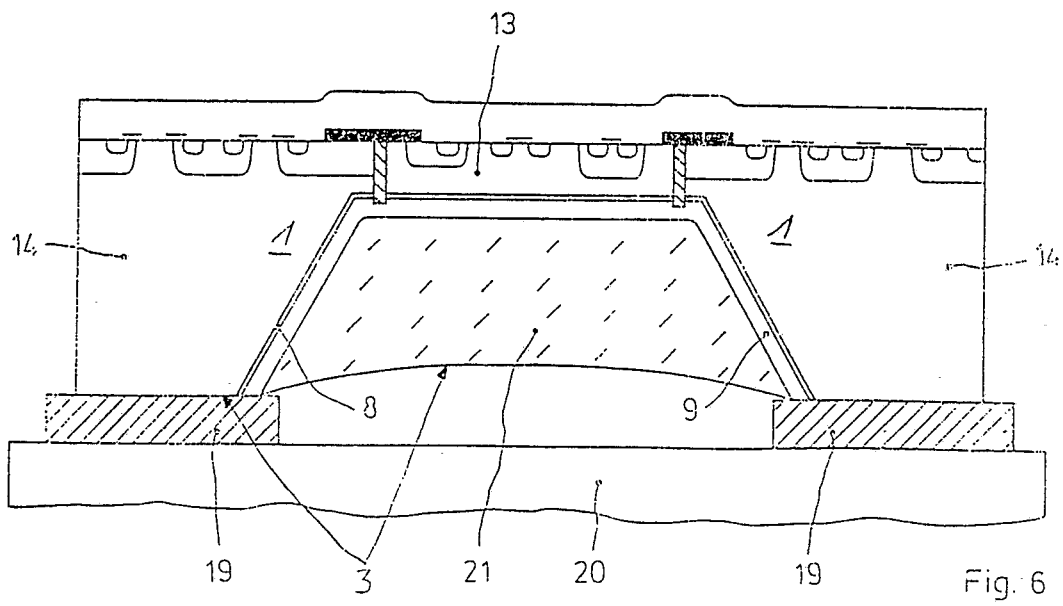
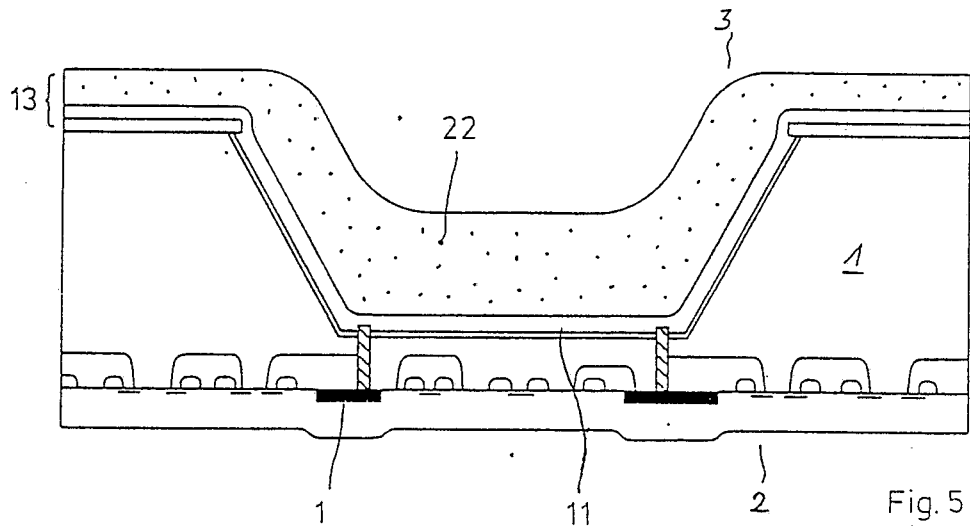
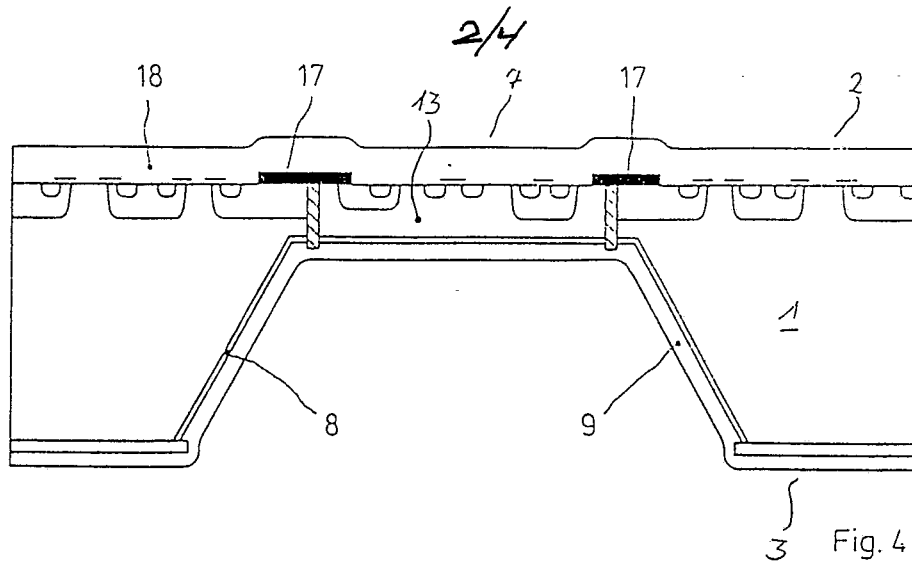
1 13. Halbleiterstruktur mit mehreren vertikalen und mindestens einem
lateralen Halbleiterbauelement (laterales Halbleiterbauelement
[13], vertikales Halbleiterbauelement [14]), die in einem
scheibenförmigen Halbleiterkörper (1) mit einer ersten und einer
5 ihr gegenüberliegenden zweiten Oberfläche (erste Oberfläche [2],
zweite Oberfläche [3]) integriert sind, wobei unterhalb der ersten
Oberfläche das/die laterale(n) Halbleiterbauelement(e) (13)
angeordnet ist/sind und die vertikalen Halbleiterbauelemente (14)
sich zwischen der ersten und der zweiten Oberfläche (2, 3)
10 erstrecken, mit mindestens einer Teilstruktur (7), die von
mindestens einer elektrisch isolierenden, vertikalen Wand (6)
seitlich umgeben ist und die mindestens ein unterhalb der ersten
Oberfläche (2) angeordnetes laterales Halbleiterbauelement (13)
enthält, wobei die Wand/Wände (6) sich bis zu einer vorbestimmten
15 Tiefe von der ersten Oberfläche (2) her in den Halbleiterkörper
(1) erstreckt/erstrecken und die Dicke des Halbleiterkörpers (1)
von der zweiten Oberfläche (3) her im Bereich der Teilstruktur(en)
(7) bis zu der/den isolierenden Wand/Wänden (6) vermindert ist,
wodurch eine oder mehrere Ausnehmungen (9) im Halbleiterkörper (1)
20 vorhanden sind, wobei der Boden (11) jeder Ausnehmung (9) mit
einer isolierenden Schicht (12) bedeckt ist.

14. Halbleiterstruktur nach Anspruch 13,
dadurch gekennzeichnet,
25 daß die lateralen Halbleiterbauelemente (13) innerhalb der
Teilstruktur(en) (7) bei Spannungen bis 1200 V betrieben werden.

30

35





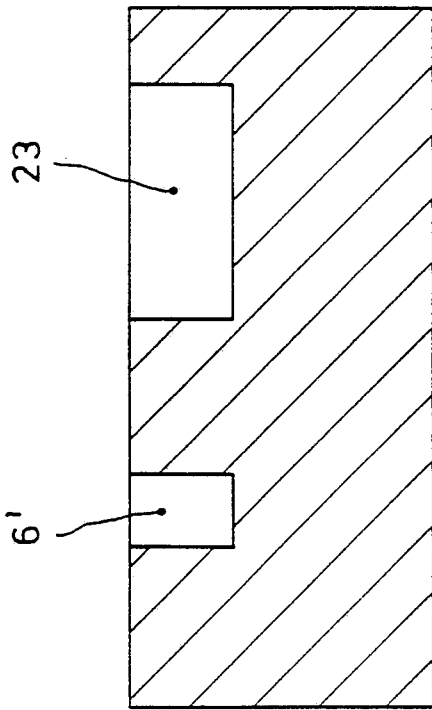


Fig. 7

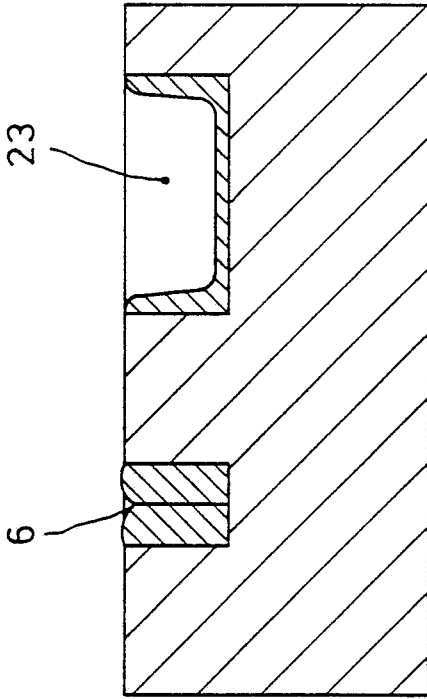


Fig. 8

3/4

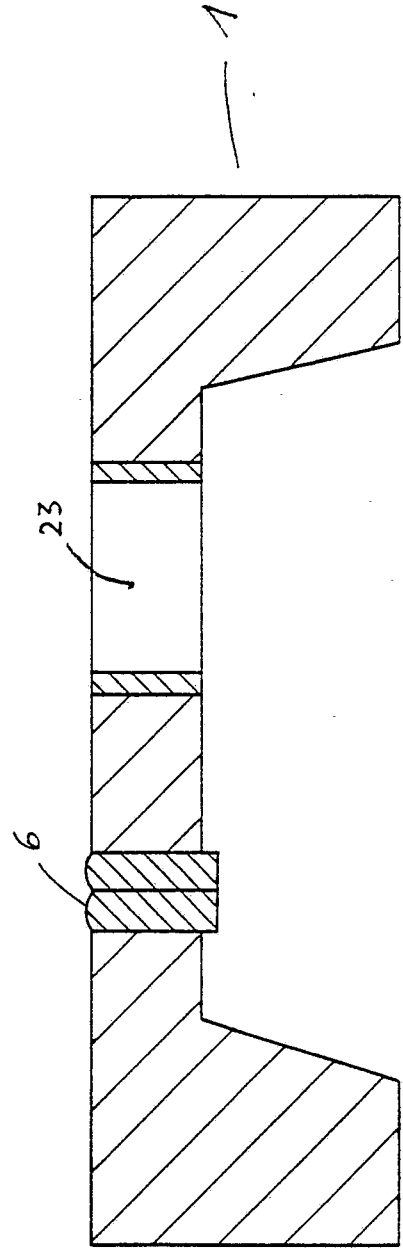


Fig. 9

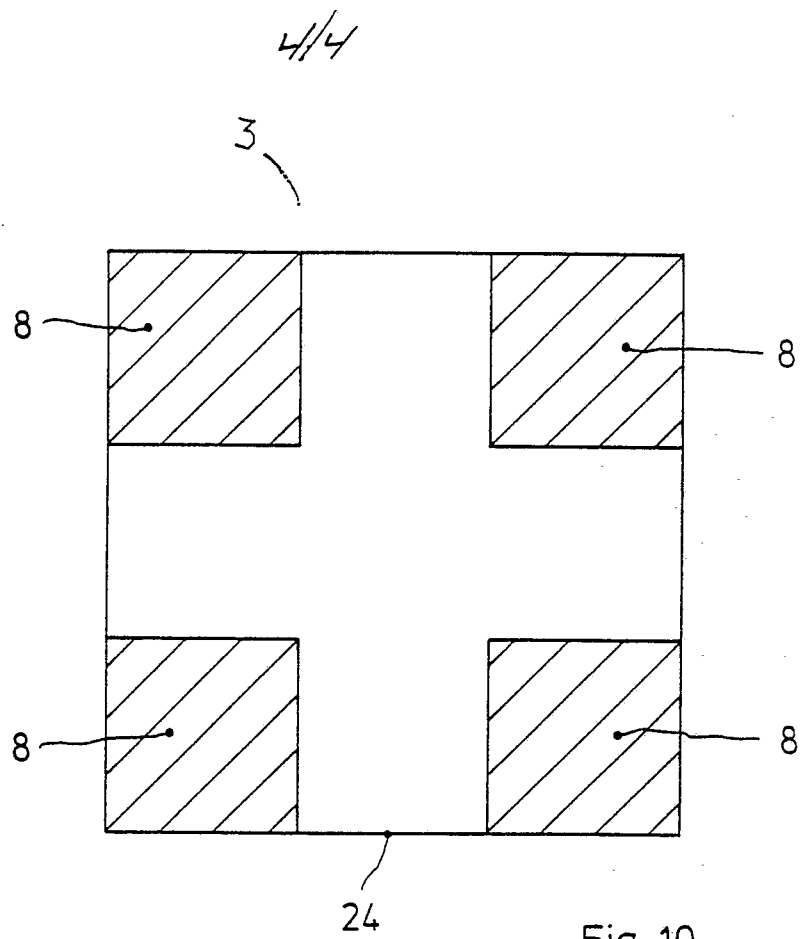


Fig. 10