

(12) International Application Status Report

Received at International Bureau: 07 January 2019 (07.01.2019)

Information valid as of: 20 May 2021 (20.05.2021)

Report generated on: 14 June 2021 (14.06.2021)

(10) Publication number:

WO2020/133202

(43) Publication date:

02 July 2020 (02.07.2020)

(26) Publication language:

English (EN)

(21) Application Number:

PCT/CN2018/124813

(22) Filing Date:

28 December 2018 (28.12.2018)

(25) Filing language:

English (EN)

(51) International Patent Classification:

G11C 16/30 (2006.01); G11C 5/14 (2006.01)

(71) Applicant(s):

MICRON TECHNOLOGY, INC. [US/US]; 8000 South Federal Way Boise, Idaho 83716-9632 (US) *(for all designated states)*

(72) Inventor(s):

DUAN, Xinghui; Room 101, No. 44, Lane 710, Old Humin Road, Xuhui District Shanghai 200230 (CN)

YUEN, Eric Kwok Fung; 2515 Cipriani Way Dublin, California 94568 (US)

YU, Zhi Ping; 14F Building 1, No.1535 Hong Mei Road Shanghai 200233 (CN)

WANG, Guanzhong; 10F, Build A2, Caohejing Modern Service Complex No 1528. Gumei Road Shanghai 200233 (CN)

(74) Agent(s):

LEE AND LI - LEAVEN IPR AGENCY LTD.; Unit 2202, Tower A, Beijing Marriott Center, No. 7 Jian Guo Men South Avenue Beijing 100005 (CN)

(54) Title (EN): REDUCE SYSTEM ACTIVE POWER BASED ON MEMORY USAGE PATTERNS

(54) Title (FR): RÉDUCTION DE LA PUISSANCE ACTIVE D'UN SYSTÈME SUR LA BASE DE MOTIFS D'UTILISATION DE MÉMOIRE

(57) Abstract:

(EN): A memory device comprises a memory array including memory cells, a communication interface to a host device, and a memory control unit operatively coupled to the memory array and the communication interface. The memory control unit is configured to store requests to access the memory in the queue, determine whether queued memory access requests are to sequential addresses of the memory array or to random addresses of the memory array, reduce an operating rate of one or more first components of the memory control unit when the queued memory access requests are to sequential addresses of the memory array, and reduce an operating rate of one or more second components of the memory control unit when the queued memory access requests are to random addresses of the memory array.

(FR): L'invention concerne un dispositif de mémoire qui comprend un réseau de mémoire comprenant des cellules de mémoire, une interface de communication vers un dispositif hôte, et une unité de commande de mémoire couplée de manière fonctionnelle au réseau de mémoire et à l'interface de communication. L'unité de commande de mémoire est configurée pour stocker des demandes afin d'accéder à la mémoire dans la file d'attente, déterminer si des demandes d'accès à une mémoire en file d'attente correspondent à des adresses séquentielles du réseau de mémoire ou à des adresses aléatoires du réseau de mémoire, réduire une vitesse de fonctionnement d'un ou plusieurs premiers composants de l'unité de commande de mémoire lorsque les demandes d'accès à la mémoire en file d'attente correspondent à des adresses séquentielles du réseau de mémoire, et réduire une vitesse de fonctionnement d'un ou de plusieurs seconds composants de l'unité de commande de mémoire lorsque les demandes d'accès à la mémoire en file d'attente correspondent à des adresses aléatoires du réseau de mémoire.

International search report:

Received at International Bureau: 10 October 2019 (10.10.2019) [CN]

International Report on Patentability (IPRP) Chapter II of the PCT:

Not available

(81) Designated States:

AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

European Patent Office (EPO) : AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR

African Intellectual Property Organization (OAPI) : BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG

African Regional Intellectual Property Organization (ARIPO) : BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW

Eurasian Patent Organization (EAPO) : AM, AZ, BY, KG, KZ, RU, TJ, TM