

# (12) International Application Status Report

**Received at International Bureau:** 09 December 2019 (09.12.2019)

**Information valid as of:** 19 May 2020 (19.05.2020)

**Report generated on:** 22 September 2020 (22.09.2020)

**(10) Publication number:**

WO2020/117567

**(43) Publication date:**

11 June 2020 (11.06.2020)

**(26) Publication language:**

English (EN)

**(21) Application Number:**

PCT/US2019/063389

**(22) Filing Date:**

26 November 2019 (26.11.2019)

**(25) Filing language:**

English (EN)

**(31) Priority number(s):**

16/211,980 (US)

**(31) Priority date(s):**

06 December 2018 (06.12.2018)

**(31) Priority status:**

Priority document received (in compliance with PCT Rule 17.1)

**(51) International Patent Classification:**

G06F 11/10 (2006.01); G11C 29/52 (2006.01)

**(71) Applicant(s):**

MICRON TECHNOLOGY, INC. [US/US]; 8000 S. Federal Way Boise, Idaho 83716-9632 (US) *(for all designated states)*

**(72) Inventor(s):**

NAKAI, Kiyoshi; 1-5-1-1105 Azumacho, Akishima Tokyo Tokyo, Tokyo 1960033 (JP)

**(74) Agent(s):**

HARRIS, Philip; Holland & Hart LLP P.O. Box 11583 Salt Lake City, Utah 84147 (US)

**(54) Title (EN):** DIRECT-INPUT REDUNDANCY SCHEME WITH DEDICATED ERROR CORRECTION CODE CIRCUIT

**(54) Title (FR):** SCHÉMA DE REDONDANCE À ENTRÉE DIRECTE AVEC CIRCUIT DE CODE DE CORRECTION

**(57) Abstract:**

**(EN):** Methods, systems, and devices for performing an error correction operation using a direct-input column redundancy scheme are described. A device that has read data from data planes may replace data from one of the planes with redundancy data from a data plane storing redundancy data. The device may then provide the redundancy data to an error correction circuit coupled with the data plane that stored the redundancy data. The error correction circuit may operate on the redundancy data and transfer the result of the operation to select components in a connected error correction circuit. The components to which the output is transferred may be selected based on data plane replaced by the redundancy data. The device may generate syndrome bits for the read data by performing additional operations on the outputs of the error correction circuit.

**(FR):** L'invention concerne des procédés, des systèmes et des dispositifs pour effectuer une opération de correction d'erreur à l'aide d'un schéma de redondance de colonne à entrée directe. Un dispositif qui a des données de lecture à partir de plans de données peut remplacer des données d'un des plans par des données de redondance à partir d'un plan de données mémorisant des données de redondance. Le dispositif peut ensuite fournir les données de redondance à un circuit de correction d'erreur couplé au plan de données qui a mémorisé les données de redondance. Le circuit de correction d'erreur peut fonctionner sur les données de redondance et transférer le résultat de l'opération pour sélectionner des composants dans un circuit de correction d'erreur connecté. Les composants auxquels la sortie est transférée peuvent être sélectionnés sur la base d'un plan de données remplacé par les données de redondance. Le dispositif peut générer des bits de syndrome pour les données de lecture en effectuant des opérations supplémentaires sur les sorties du circuit de correction d'erreur.

**International search report:**

Received at International Bureau: 23 March 2020 (23.03.2020) [KR]

**International Report on Patentability (IPRP) Chapter II of the PCT:**

Not available

**(81) Designated States:**

AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

European Patent Office (EPO) : AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR

African Intellectual Property Organization (OAPI) : BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG

African Regional Intellectual Property Organization (ARIPO) : BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW

Eurasian Patent Organization (EAPO) : AM, AZ, BY, KG, KZ, RU, TJ, TM