

# (12) International Application Status Report

**Received at International Bureau:** 11 December 2019 (11.12.2019)

**Information valid as of:** 13 May 2020 (13.05.2020)

**Report generated on:** 26 September 2020 (26.09.2020)

**(10) Publication number:**

WO2020/114409

**(43) Publication date:**

11 June 2020 (11.06.2020)

**(26) Publication language:**

Chinese (ZH)

**(21) Application Number:**

PCT/CN2019/122847

**(22) Filing Date:**

04 December 2019 (04.12.2019)

**(25) Filing language:**

Chinese (ZH)

**(31) Priority number(s):**

201811478102.9 (CN)

**(31) Priority date(s):**

05 December 2018 (05.12.2018)

**(31) Priority status:**

Priority document received (in compliance with PCT Rule 17.1)

**(51) International Patent Classification:**

H01L 27/02 (2006.01)

**(71) Applicant(s):**

CSMC TECHNOLOGIES FAB2 CO., LTD. [CN/CN]; No. 8 Xinzhou Road Wuxi New District, Jiangsu 214028 (CN) *(for all designated states)*

**(72) Inventor(s):**

LIAO, Yuanbao; No. 8 Xinzhou Road Wuxi New District, Jiangsu 214028 (CN)

**(74) Agent(s):**

ADVANCE CHINA IP LAW OFFICE; Room 4501, No. 6 Zhujiang East Road, Tianhe District Guangzhou, Guangdong 510623 (CN)

**(54) Title (EN):** PREPARATION METHOD FOR SEMICONDUCTOR DEVICE

**(54) Title (FR):** PROCÉDÉ DE PRÉPARATION DE DISPOSITIF À SEMI-CONDUCTEUR

**(54) Title (ZH):** 半导体器件制备方法

**(57) Abstract:**

**(EN):** The present application relates to a preparation method for a semiconductor device, comprising: sequentially forming an isolating dielectric layer (220) and a doped semiconductor layer (230) of a first conductivity type on a non-primitive cell area (M) of a semiconductor substrate; performing a first conductivity type of well injection by using the semiconductor layer (230) and the isolating dielectric layer (220) as masks, and forming a well area (213) in a primitive cell area (N); forming an operation structure in the well area (213), and forming a protection structure in the semiconductor layer (230); and forming an interlayer dielectric layer (240) on the operation structure and the protection structure, forming a contact hole in the interlayer dielectric layer (240), forming a metal interconnection layer connected to the contact hole on the interlayer dielectric layer (240), and connecting the operation structure and the protection structure by means of the metal interconnection layer and the contact hole.

**(FR):** La présente invention concerne un procédé de préparation d'un dispositif à semi-conducteur, consistant: à former séquentiellement une couche diélectrique isolante (220) et une couche semi-conductrice dopée (230) d'un premier type de conductivité sur une zone de cellule non primitive (M) d'un substrat semi-conducteur; à effectuer une injection de puits d'un premier type de conductivité en se servant de la couche semi-conductrice (230) et de la couche diélectrique isolante (220) en tant que masques, et à former une zone de puits (213) dans une zone de cellule primitive (N); à former une structure de fonctionnement dans la zone de puits (213), et à former une structure de protection dans la couche semi-conductrice (230); et à former une couche diélectrique intercouche (240) sur la structure de fonctionnement et la structure de protection, à former un trou de contact dans la couche diélectrique intercouche (240), à former une couche d'interconnexion métallique connectée au trou de contact sur la couche diélectrique intercouche (240), et à connecter la structure de fonctionnement et la structure de protection au moyen de la couche d'interconnexion métallique et du trou de contact.

**(ZH):** 本申请涉及一种半导体器件制备方法,包括:在半导体衬底的非原胞区(M)上依次形成隔离介质层(220)和具有第一导电类型掺杂的半导体层(230);以半导体层(230)和隔离介质层(220)为掩膜进行第一导电类型阱注入,在原胞区(N)形成阱区(213);在阱区(213)内形成工作结构,在半导体层(230)内形成保护结构;在工作结构和保护结构上形成层间介质层(240),并在

层间介质层(240)内形成接触孔,在层间介质层(240)上形成与接触孔连接的金属互连层,通过金属互连层和接触孔连接工作结构和保护结构。

**International search report:**

Received at International Bureau: 03 March 2020 (03.03.2020) [CN]

**International Report on Patentability (IPRP) Chapter II of the PCT:**

Not available

**(81) Designated States:**

AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

European Patent Office (EPO) : AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR

African Intellectual Property Organization (OAPI) : BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG

African Regional Intellectual Property Organization (ARIPO) : BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW

Eurasian Patent Organization (EAPO) : AM, AZ, BY, KG, KZ, RU, TJ, TM