

# (12) International Application Status Report

**Received at International Bureau:** 23 November 2019 (23.11.2019)

**Information valid as of:** 12 May 2020 (12.05.2020)

**Report generated on:** 26 September 2020 (26.09.2020)

**(10) Publication number:**

WO2020/109753

**(43) Publication date:**

04 June 2020 (04.06.2020)

**(26) Publication language:**

English (EN)

**(21) Application Number:**

PCT/GB2019/053257

**(22) Filing Date:**

15 November 2019 (15.11.2019)

**(25) Filing language:**

English (EN)

**(31) Priority number(s):**

16/206,725 (US)

**(31) Priority date(s):**

30 November 2018 (30.11.2018)

**(31) Priority status:**

Priority document received (in compliance with PCT Rule 17.1)

**(51) International Patent Classification:**

**H01L 27/24** (2006.01); **H01L 45/00** (2006.01)

**(71) Applicant(s):**

ARM LIMITED [GB/GB]; 110 Fulbourn Road Cambridge CB1 9NJ (GB) *(for all designated states)*

**(72) Inventor(s):**

HE, Ming; 110 Fulbourn Road Cambridge CB1 9NJ (GB)

BESSER, Paul Raymond; 110 Fulbourn Road Cambridge CB1 9NJ (GB)

ZHANG, Jingyan; 110 Fulbourn Road Cambridge CB1 9NJ (GB)

RATHOR, Manuj; 110 Fulbourn Road Cambridge CB1 9NJ (GB)

**(74) Agent(s):**

TLIP LTD; 14 King Street Leeds Yorkshire LS1 2HL (GB)

**(54) Title (EN):** FABRICATION OF CORRELATED ELECTRON MATERIAL (CEM) DEVICES

**(54) Title (FR):** FABRICATION DE DISPOSITIFS EN MATÉRIAU À ÉLECTRONS CORRÉLÉS (CEM)

**(57) Abstract:**

**(EN):** Subject matter disclosed herein relates to fabrication of a correlated electron material (CEM) switch (302). In particular embodiments a method include forming a structure (160, 170, 180) on a first portion of a substrate (262) while maintaining a second portion of the substrate exposed. A sealing layer (285) is deposited over the structure and over at least a portion of the exposed second portion of the substrate (262). A conductive via (365) is formed e.g. by way of a dry etch through the sealing layer (285) to contact an exposed metal layer (250). In embodiments, an etch-stop control layer is utilized to control an etching process prior to formation of metal contacts over the CEM switch and the conductive via.

**(FR):** L'objet de la présente invention concerne la fabrication d'un commutateur (302) en matériau à électrons corrélés (CEM). Dans des modes de réalisation spécifiques, un procédé consiste à former une structure (160, 170, 180) sur une première partie d'un substrat (262) tout en conservant une seconde partie du substrat découverte. Une couche d'étanchéité (285) est déposée sur la structure et sur au moins une partie de la seconde partie découverte du substrat (262). Un trou d'interconnexion conducteur (365) est formé, par exemple, par gravure sèche à travers la couche d'étanchéité (285) de façon à entrer en contact avec une couche métallique à nu (250). Dans des modes de réalisation, une couche de commande d'arrêt de gravure est utilisée en vue de la commande d'un processus de gravure avant la formation de contacts métalliques sur le commutateur CEM et le trou d'interconnexion conducteur.

**International search report:**

Received at International Bureau: 22 January 2020 (22.01.2020) [EP]

**International Report on Patentability (IPRP) Chapter II of the PCT:**

Not available

**(81) Designated States:**

AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

European Patent Office (EPO) : AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR

African Intellectual Property Organization (OAPI) : BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG

African Regional Intellectual Property Organization (ARIPO) : BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW

Eurasian Patent Organization (EAPO) : AM, AZ, BY, KG, KZ, RU, TJ, TM