

(12) International Application Status Report

Received at International Bureau: 03 October 2018 (03.10.2018)

Information valid as of: 31 October 2018 (31.10.2018)

Report generated on: 19 July 2019 (19.07.2019)

(10) Publication number:

WO2019/065494

(43) Publication date:

04 April 2019 (04.04.2019)

(26) Publication language:

Japanese (JA)

(21) Application Number:

PCT/JP2018/035026

(22) Filing Date:

21 September 2018 (21.09.2018)

(25) Filing language:

Japanese (JA)

(31) Priority number(s):

2017-191843 (JP)

(31) Priority date(s):

29 September 2017 (29.09.2017)

(31) Priority status:

Priority document received (in compliance with PCT Rule 17.1)

(51) International Patent Classification:

H01L 23/12 (2006.01)

(71) Applicant(s):

AISIN AW CO., LTD. [JP/JP]; 10, Takane, Fujiicho, Anjo-shi, Aichi 4441192 (JP) *(for all designated states)*

(72) Inventor(s):

NARUSE Takanobu; c/o AISIN AW CO., LTD., 10, Takane, Fujiicho, Anjo-shi, Aichi 4441192 (JP)

(74) Agent(s):

R&C IP LAW FIRM; 3-3, Nakanoshima 3-chome, Kita-ku, Osaka-shi, Osaka 5300005 (JP)

(54) Title (EN): CIRCUIT BOARD, METHOD FOR DESIGNING CIRCUIT BOARD, AND SEMICONDUCTOR DEVICE

(54) Title (FR): CARTE DE CIRCUITS IMPRIMÉS, PROCÉDÉ DE FABRICATION DE CARTE DE CIRCUITS IMPRIMÉS ET DISPOSITIF À SEMICONDUCTEURS

(54) Title (JA): 回路基板、回路基板の設計方法、及び半導体装置

(57) Abstract:

(EN): This circuit board (1) that has an upper surface on which a semiconductor module is mounted and a lower surface on which connection terminals (14) are provided is configured such that at least some of the connection terminals (14) are provided with connection pins. The connection terminals (14) include: a drive terminal (14D) for driving the semiconductor module; and a function terminal (14F) for connecting the semiconductor module to another function unit. The respective positions of the drive terminals (14D) in divided regions (D1-D4), which are obtained by dividing the circuit board (1) into quarters, are symmetric with respect to the center (O) of the circuit board (1).

(FR): La présente invention concerne cette carte de circuits imprimés (1) qui présente une surface supérieure sur laquelle un module à semiconducteurs est monté et une surface inférieure sur laquelle des bornes de connexion (14) sont prévues, qui est conçue de sorte qu'au moins certaines des bornes de connexion (14) sont pourvues de broches de connexion. Les bornes de connexion (14) comprennent : une borne de commande (14D) destinée à commander le module à semiconducteurs ; et une borne de fonction (14F) destinée à connecter le module à semiconducteurs à une autre unité fonctionnelle. Les positions respectives des bornes de commande (14D) dans des régions divisées (D1-D4), qui sont obtenues en divisant la carte de circuits imprimés (1) en quartiers, sont symétriques par rapport au centre (O) de la carte de circuits imprimés (1).

(JA): 上面に半導体モジュールが搭載され、下面に接続端子(14)が設けられた回路基板(1)において、少なくとも一部の接続端子(14)には接続ピンが設けられている。接続端子(14)には、半導体モジュールを駆動するための駆動端子(14D)と、半導体モジュールと他の機能部とを接続するための機能端子(14F)とが含まれる。回路基板(1)を4分割した分割領域(D1~D4)のそれぞれにおける駆動端子(14D)の配置が、回路基板(1)の中心(O)に対して点対称となっている。

International search report:

Received at International Bureau: 10 December 2018 (10.12.2018) [JP]

International Report on Patentability (IPRP) Chapter II of the PCT:

Not available

(81) Designated States:

AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

European Patent Office (EPO) : AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR

African Intellectual Property Organization (OAPI) : BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG

African Regional Intellectual Property Organization (ARIPO) : BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW

Eurasian Patent Organization (EAPO) : AM, AZ, BY, KG, KZ, RU, TJ, TM