

# (12) International Application Status Report

**Received at International Bureau:** 23 August 2018 (23.08.2018)

**Information valid as of:** 11 March 2019 (11.03.2019)

**Report generated on:** 22 October 2019 (22.10.2019)

**(10) Publication number:**

WO2019/063203

**(43) Publication date:**

04 April 2019 (04.04.2019)

**(26) Publication language:**

English (EN)

**(21) Application Number:**

PCT/EP2018/072560

**(22) Filing Date:**

21 August 2018 (21.08.2018)

**(25) Filing language:**

English (EN)

**(31) Priority number(s):**

17386030.5 (EP)

**(31) Priority date(s):**

29 September 2017 (29.09.2017)

**(31) Priority status:**

Priority document received (in compliance with PCT Rule 17.1)

**(51) International Patent Classification:**

G06F 9/38 (2018.01); G06F 9/30 (2018.01)

**(71) Applicant(s):**

ARM LIMITED [GB/GB]; 110 Fulbourn Road Cherry Hinton Cambridge CB1 9NJ (GB) *(for all designated states)*

**(72) Inventor(s):**

MAGKLIS, Grigorios; c/o Arm Limited 110 Fulbourn Road Cherry Hinton Cambridge CB1 9NJ (GB)  
HORSNELL, Matthew James; c/o Arm Limited 110 Fulbourn Road Cherry Hinton Cambridge CB1 9NJ (GB)  
DIESTELHORST, Stephan; c/o Arm Limited 110 Fulbourn Road Cherry Hinton Cambridge CB1 9NJ (GB)

**(74) Agent(s):**

BERRYMAN, Robert; D Young & Co LLP 120 Holborn London EC1N 2DY (GB)

**(54) Title (EN):** TRANSACTION NESTING DEPTH TESTING INSTRUCTION

**(54) Title (FR):** INSTRUCTION DE TEST DE PROFONDEUR D'IMBRICATION DE TRANSACTION

**(57) Abstract:**

**(EN):** In a system providing transactional memory support, a transaction nesting depth testing instruction is provided for triggering processing circuitry (4) to set at least one status value to one of a plurality of states depending on a transaction nesting depth indicative of a number of executed transaction start instructions of a given thread for which the corresponding transaction remains unaborted and uncommitted, the plurality of states including a first state selected when the transaction nesting depth is 1 and at least one further state selected when the transaction nesting depth is greater than or less than 1. The ISA supported enables the setting of the at least one status value and a conditional branch conditional on the at least one status value being in the first state to be performed in response to a single transaction nesting depth testing instruction and a single conditional branch instruction.

**(FR):** Selon la présente invention, dans un système fournissant un support de mémoire transactionnelle, une instruction de test de profondeur d'imbrication de transaction est fournie pour déclencher un ensemble de circuits de traitement (4) afin de paramétrer au moins une valeur d'état à l'un d'une pluralité d'états en fonction d'une profondeur d'imbrication de transaction indiquant un certain nombre d'instructions de début de transaction exécutées d'un fil d'exécution donné pour lequel la transaction correspondante reste non engagée et non abandonnée, la pluralité d'états comprenant un premier état sélectionné lorsque la profondeur d'imbrication de transaction est 1 et au moins un autre état sélectionné lorsque la profondeur d'imbrication de transaction est supérieure ou égale à 1. L'ISA prise en charge permet le paramétrage desdites valeurs d'état et d'une branche conditionnelle conditionnelle sur ladite valeur d'état dans le premier état à exécuter en réponse à une instruction d'essai de profondeur d'imbrication de transaction unique et une instruction de branche conditionnelle unique.

**International search report:**

Received at International Bureau: 19 November 2018 (19.11.2018) [EP]

**International Report on Patentability (IPRP) Chapter II of the PCT:**

Not available

**(81) Designated States:**

AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

European Patent Office (EPO) : AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR

African Intellectual Property Organization (OAPI) : BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG

African Regional Intellectual Property Organization (ARIPO) : BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW

Eurasian Patent Organization (EAPO) : AM, AZ, BY, KG, KZ, RU, TJ, TM