

(12) International Application Status Report

Received at International Bureau: 19 September 2018 (19.09.2018)

Information valid as of: 20 February 2019 (20.02.2019)

Report generated on: 19 September 2019 (19.09.2019)

(10) Publication number:

WO2019/049980

(43) Publication date:

14 March 2019 (14.03.2019)

(26) Publication language:

Japanese (JA)

(21) Application Number:

PCT/JP2018/033178

(22) Filing Date:

07 September 2018 (07.09.2018)

(25) Filing language:

Japanese (JA)

(31) Priority number(s):

2017-174182 (JP)

(31) Priority date(s):

11 September 2017 (11.09.2017)

(31) Priority status:

Priority document received (in compliance with PCT Rule 17.1)

(51) International Patent Classification:

H03K 19/177 (2006.01); **G06F 11/16** (2006.01); **G11C 29/00** (2006.01); **H01L 21/8239** (2006.01); **H01L 27/105** (2006.01); **H01L 45/00** (2006.01); **H01L 49/00** (2006.01)

(71) Applicant(s):

NEC CORPORATION [JP/JP]; 7-1, Shiba 5-chome, Minato-ku, Tokyo 1088001 (JP) *(for all designated states)*

(72) Inventor(s):

TSUJI Yukihide; c/o NEC CORPORATION, 7-1, Shiba 5-chome, Minato-ku, Tokyo 1088001 (JP)
SAKAMOTO Toshitsugu; c/o NEC CORPORATION, 7-1, Shiba 5-chome, Minato-ku, Tokyo 1088001 (JP)
MIYAMURA Makoto; c/o NEC CORPORATION, 7-1, Shiba 5-chome, Minato-ku, Tokyo 1088001 (JP)
NEBASHI Ryusuke; c/o NEC CORPORATION, 7-1, Shiba 5-chome, Minato-ku, Tokyo 1088001 (JP)
TADA Ayuka; c/o NEC CORPORATION, 7-1, Shiba 5-chome, Minato-ku, Tokyo 1088001 (JP)
BAI Xu; c/o NEC CORPORATION, 7-1, Shiba 5-chome, Minato-ku, Tokyo 1088001 (JP)

(74) Agent(s):

SHIMOSAKA Naoki; c/o NEC CORPORATION, 7-1, Shiba 5-chome, Minato-ku, Tokyo 1088001 (JP)

(54) Title (EN): RECONFIGURATION CIRCUIT

(54) Title (FR): CIRCUIT DE RECONFIGURATION

(54) Title (JA): 再構成回路

(57) Abstract:

(EN): In order to achieve both high-density implementation of applications in the form a reconfiguration circuit without a redundancy bit and the capability to continuously run applications with redundancy, the present invention is a reconfiguration circuit provided with: a first lookup table composed of a crossbar memory formed in a crossbar switching circuit having a plurality of switch cells including a complementary element and a multiplexer for selecting and outputting at least one of a plurality of signals input from the crossbar memory; a second lookup table composed of a crossbar memory and a multiplexer; and a switch that is connected to an output node of the first lookup table and to an output node of the second lookup table and that switches the output node of the first lookup table and the output node of the second lookup table to an electrically conductive state or a non-conductive state.

(FR): La présente invention a pour objet d'atteindre une mise en œuvre à haute densité d'applications sous la forme d'un circuit de reconfiguration sans bit de redondance ainsi que la capacité d'exécuter en continu des applications avec redondance. Plus particulièrement, l'invention concerne un circuit de reconfiguration comprenant : une première table de consultation composée d'une mémoire à barres croisées formée dans un circuit de commutation à barres croisées ayant une pluralité de cellules de commutation comprenant un élément complémentaire et un multiplexeur pour sélectionner et délivrer en sortie au moins l'un d'une pluralité de signaux entrés à partir de la mémoire à barres croisées ; une seconde table de consultation composée d'une mémoire à barres croisées et d'un multiplexeur ; et un commutateur qui est connecté à un nœud de sortie de la première table de consultation et à un nœud de sortie de la seconde table de consultation et qui commute le nœud de sortie de la première table de consultation et le nœud de sortie de la seconde table de consultation vers un état conducteur ou un état non conducteur.

(JA): 冗長ビットを持たない再構成回路としてアプリケーションを高密度に実装することと、冗長性を持たせて継続的なアプリケーション動作を可能とすることを両立するために、相補型素子を含む複数のスイッチセルを有するクロスバースイッチ回路に構成されるクロスバーメモリと、クロスバーメモリから入力される複数の信号のうち少なくとも一つを選択して出力するマルチプレクサとによって構成される第1のルックアップテーブルと、クロスバーメモリとマルチプレクサとによって構成される第2のルックアップテーブルと、第1のルックアップテーブルの出力ノードと、第2のルックアップテーブルの出力ノードとに接続され、第1のルックアップテーブルの出力ノードと第2のルックアップテーブルの出力ノードとを電氣的に導通もしくは非導通の状態に切り替えるスイッチとを備える再構成回路とする。

International search report:

Received at International Bureau: 15 October 2018 (15.10.2018) [JP]

International Report on Patentability (IPRP) Chapter II of the PCT:

Not available

(81) Designated States:

AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

European Patent Office (EPO) : AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR

African Intellectual Property Organization (OAPI) : BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG

African Regional Intellectual Property Organization (ARIPO) : BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW

Eurasian Patent Organization (EAPO) : AM, AZ, BY, KG, KZ, RU, TJ, TM