

# (12) International Application Status Report

**Received at International Bureau:** 23 September 2018 (23.09.2018)

**Information valid as of:** 15 July 2019 (15.07.2019)

**Report generated on:** 24 January 2020 (24.01.2020)

**(10) Publication number:**

WO2019/046477

**(43) Publication date:**

07 March 2019 (07.03.2019)

**(26) Publication language:**

English (EN)

**(21) Application Number:**

PCT/US2018/048623

**(22) Filing Date:**

29 August 2018 (29.08.2018)

**(25) Filing language:**

English (EN)

**(31) Priority number(s):**

62/551,766 (US)

**(31) Priority date(s):**

29 August 2017 (29.08.2017)

**(31) Priority status:**

Priority document received (in compliance with PCT Rule 17.1)

**(51) International Patent Classification:**

*H01L 21/673* (2006.01)

**(71) Applicant(s):**

DAEWON SEMICONDUCTOR PACKAGING INDUSTRIAL COMPANY [US/US]; 2350 Mission College Blvd., Suite 900 Santa Clara, CA 95054 (US) (*for all designated states*)

**(72) Inventor(s):**

CHUNG, Sunna; 2350 Mission College Blvd., Suite 900 Santa Clara, CA 95054 (US)

PARK, Ryan; 2350 Mission College Blvd., Suite 900 Santa Clara, CA 95054 (US)

CHAE, Jin; 2350 Mission College Blvd., Suite 900 Santa Clara, CA 95054 (US)

WHITLOCK, Matthew; 2350 Mission College Blvd., Suite 900 Santa Clara, CA 95054 (US)

LIE, Jonathan; 2350 Mission College Blvd., Suite 900 Santa Clara, CA 95054 (US)

OKOREN, Athens; 2350 Mission College Blvd., Suite 900 Santa Clara, CA 95054 (US)

**(74) Agent(s):**

COLEMAN, Brian; Perkins Coie LLP P.O. Box 1247 Seattle, WA 98111-1247 (US)

**(54) Title (EN):** SEPARATORS FOR HANDLING, TRANSPORTING, OR STORING SEMICONDUCTOR WAFERS

**(54) Title (FR):** SÉPARATEURS POUR MANIPULER, TRANSPORTER OU STOCKER DES TRANCHES DE SEMI-CONDUCTEUR

**(57) Abstract:**

**(EN):** Introduced here is a wafer separator configured to carry a semiconductor wafer with improved efficiency, protection, and reduced costs when utilized in the handling, transport, or storage of semiconductor components. The wafer separator may include a circular ring having an outer edge defining a periphery of the circular ring. The circular ring may include an inner edge defining a central opening of the circular ring. The wafer separator may include a first-right angled recess for receiving a semiconductor wafer that extends downward from a top surface of the circular ring. The wafer separator may also include a second right-angled recess for maintaining a gap beneath the semiconductor wafer when the semiconductor wafer is set within the first right-angled recess. In some embodiments, the wafer separator also includes interlock components for connecting the wafer separator to adjacent wafer separators.

**(FR):** L'invention concerne un séparateur de tranche conçu pour transporter une tranche de semi-conducteur avec une efficacité, une protection et des coûts réduits lorsqu'il est utilisé lors de la manipulation, le transport ou le stockage de composants semi-conducteurs. Le séparateur de tranche peut comprendre une bague circulaire ayant un bord externe définissant une périphérie de l'anneau circulaire. L'anneau circulaire peut comprendre un bord interne définissant une ouverture centrale de l'anneau circulaire. Le séparateur de tranche peut comprendre un évidement incliné de premier angle permettant de recevoir une tranche de semi-conducteur qui s'étend vers le bas à partir d'une surface supérieure de l'anneau circulaire. Le séparateur de tranche peut également comprendre un second évidement à angle droit permettant de maintenir un espace sous la tranche de semi-conducteur lorsque la tranche de semi-conducteur est placée à l'intérieur du premier évidement à angle droit. Dans certains modes de réalisation, le

séparateur de tranche comprend également des composants de verrouillage permettant de connecter le séparateur de tranche à des séparateurs de tranche adjacents.

**International search report:**

Received at International Bureau: 10 January 2019 (10.01.2019) [US]

**International Report on Patentability (IPRP) Chapter II of the PCT:**

Not available

**(81) Designated States:**

AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

European Patent Office (EPO) : AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR

African Intellectual Property Organization (OAPI) : BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG

African Regional Intellectual Property Organization (ARIPO) : BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW

Eurasian Patent Organization (EAPO) : AM, AZ, BY, KG, KZ, RU, TJ, TM