

# (12) International Application Status Report

**Received at International Bureau:** 17 September 2018 (17.09.2018)

**Information valid as of:** 24 January 2019 (24.01.2019)

**Report generated on:** 24 July 2019 (24.07.2019)

**(10) Publication number:**

WO2019/030571

**(43) Publication date:**

14 February 2019 (14.02.2019)

**(26) Publication language:**

English (EN)

**(21) Application Number:**

PCT/IB2018/001039

**(22) Filing Date:**

06 August 2018 (06.08.2018)

**(25) Filing language:**

English (EN)

**(31) Priority number(s):**

15/800,742 (US)

**(31) Priority date(s):**

01 November 2017 (01.11.2017)

**(31) Priority status:**

Priority document received (in compliance with PCT Rule 17.1)

62/542,108 (US)

07 August 2017 (07.08.2017)

**(51) International Patent Classification:**

**G06F 3/06** (2006.01)

**(71) Applicant(s):**

TOSHIBA MEMORY CORPORATION [JP/JP]; 1-1, Shibaura 1-chome Minato-ku Tokyo 105-0023 (JP) *(for all designated states)*

**(72) Inventor(s):**

WELLS, Steven; c/o Toshiba Memory America, Inc. 2610 Orchard Parkway San Jose, CA 95134 (US)

CARLSON, Mark; c/o Toshiba Memory America, Inc. 2610 Orchard Parkway San Jose, CA 95134 (US)

JAIN, Amit; c/o Toshiba Memory America, Inc. 2610 Orchard Parkway San Jose, CA 95134 (US)

KOTTE, Narasimhulu, Dharani; c/o Toshiba Memory America, Inc. 2610 Orchard Parkway San Jose, CA 95134 (US)

THANGARAJ, Senthil; c/o Toshiba Memory America, Inc. 2610 Orchard Parkway San Jose, CA 95134 (US)

MISHRA, Barada; c/o Toshiba Memory America, Inc. 2610 Orchard Parkway San Jose, CA 95134 (US)

DESAI, Girish; c/o Toshiba Memory America, Inc. 2610 Orchard Parkway San Jose, CA 95134 (US)

**(54) Title (EN):** SSD ARCHITECTURE SUPPORTING LOW LATENCY OPERATION

**(54) Title (FR):** ARCHITECTURE SSD PRENANT EN CHARGE UN FONCTIONNEMENT À FAIBLE LATENCE

**(57) Abstract:**

**(EN):** In one embodiment, a solid state drive (SSD) comprises a plurality of non-volatile memory dies communicatively arranged in one or more communication channels, each of the plurality of non-volatile memory dies comprising a plurality of physical blocks, one or more channel controllers communicatively coupled to the one or more communication channels, respectively, and a memory controller communicatively coupled to the plurality of non-volatile memory dies via the one or more channel controllers, wherein the memory controller is configured to assign (i) the plurality of physical blocks of a first die of the plurality of non-volatile memory dies to only a first region and (ii) the plurality of physical blocks of a second die of the plurality of non-volatile memory dies to only a second region, perform only read operations on the first region in a first operation mode, and perform write operations or maintenance operations on the second region in a second operation mode concurrently with read operations on the first region in the first operation mode.

**(FR):** Dans un mode de réalisation, l'invention concerne un lecteur à semi-conducteurs (SSD) qui comprend une pluralité de puces de mémoire non volatile agencées en communication dans un ou plusieurs canaux de communication, chacune de la pluralité de puces de mémoire non volatile comprenant une pluralité de blocs physiques, un ou plusieurs contrôleurs de canal couplés en communication au ou aux canaux de communication, respectivement, et un contrôleur de mémoire couplé en communication à la pluralité de puces de mémoire non volatile par l'intermédiaire du ou des contrôleurs de canal, le contrôleur de mémoire étant configuré pour attribuer (i) la pluralité de blocs physiques d'une première puce de la pluralité de puces de mémoire non volatile uniquement à une première région et (ii) la pluralité de blocs physiques d'une seconde puce de la pluralité de puces de mémoire non volatile à seulement une seconde région, effectuer uniquement des opérations de lecture sur la première région dans un premier mode de fonctionnement, et effectuer des opérations d'écriture ou des opérations de maintenance sur la seconde région dans un second mode de fonctionnement simultanément avec des opérations de lecture sur la première région dans le premier mode de fonctionnement.

**International search report:**

Received at International Bureau: 17 December 2018 (17.12.2018) [EP]

**International Report on Patentability (IPRP) Chapter II of the PCT:**

Not available

**(81) Designated States:**

AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

European Patent Office (EPO) : AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR

African Intellectual Property Organization (OAPI) : BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG

African Regional Intellectual Property Organization (ARIPO) : BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW

Eurasian Patent Organization (EAPO) : AM, AZ, BY, KG, KZ, RU, TJ, TM