

(12) International Application Status Report

Received at International Bureau: 02 June 2018 (02.06.2018)

Information valid as of: 22 June 2018 (22.06.2018)

Report generated on: 19 April 2019 (19.04.2019)

(10) Publication number:

WO2018/233950

(43) Publication date:

27 December 2018 (27.12.2018)

(26) Publication language:

German (DE)

(21) Application Number:

PCT/EP2018/062978

(22) Filing Date:

17 May 2018 (17.05.2018)

(25) Filing language:

German (DE)

(31) Priority number(s):

10 2017 113 383.6 (DE)

(31) Priority date(s):

19 June 2017 (19.06.2017)

(31) Priority status:

Priority document received (in compliance with PCT Rule 17.1)

(51) International Patent Classification:

H01L 33/00 (2010.01); **H01L 33/14** (2010.01); **H01L 33/20** (2010.01); **H01L 33/38** (2010.01); **H01L 33/24** (2010.01); **H01L 33/32** (2010.01); **H01L 33/16** (2010.01)

(71) Applicant(s):

OSRAM OPTO SEMICONDUCTORS GMBH [DE/DE]; Leibnizstr. 4 93055 Regensburg (DE) (*for all designated states*)

(72) Inventor(s):

TONKIKH, Alexander; Käthe-Kollwitz-Str. 63 93055 Regensburg (DE)

(74) Agent(s):

ZUSAMMENSCHLUSS NR. 175 - EPPING HERMANN FISCHER PATENTANWALTSGESELLSCHAFT MBH; Schloßschmidstr. 5 80639 München (DE)

(54) Title (EN): SEMICONDUCTOR CHIP HAVING INTERNAL TERRACE-LIKE STEPS, AND METHOD FOR PRODUCING A SEMICONDUCTOR CHIP

(54) Title (FR): PUCE SEMI-CONDUCTRICE COMPRENANT DES PALIERS INTÉRIEURS SIMILAIRES À DES TERRASSES ET PROCÉDÉ DE FABRICATION D'UNE PUCE SEMI-CONDUCTRICE

(54) Title (DE): HALBLEITERCHIP MIT INNEREN TERRASSENÄHNLICHEN STUFEN UND VERFAHREN ZUR HERSTELLUNG EINES HALBLEITERCHIPS

(57) Abstract:

(EN): A semiconductor chip (10) comprising a semiconductor body (2), a current spreading layer (3) and a contact structure (4) is specified, wherein the semiconductor body comprises a first semiconductor layer (21), a second semiconductor layer (22) and an intervening active layer (23), and the current spreading layer is arranged in a vertical direction between the contact structure and the semiconductor body. The semiconductor body has a plurality of internal steps (24) configured in a terrace-like manner, wherein the contact structure comprises a plurality of conductor tracks (42) which are arranged with regard to the lateral orientations thereof in relation to the lateral orientations of the internal steps in such a way that current spreading along the internal steps is promoted vis-à-vis current spreading transversely with respect to the internal steps. Furthermore, a method for producing such a semiconductor chip is specified.

(FR): L'invention concerne une puce semi-conductrice (10) pourvue d'un corps semi-conducteur (2) d'une couche d'étalement de courant (3) et d'une structure de contact (4). Le corps semi-conducteur comprend une première couche semi-conductrice (21), une deuxième couche semi-conductrice (22) et une couche active (23) intercalée entre ces dernières. La couche d'étalement de courant est disposée dans une direction verticale entre la structure de contact et le corps semi-conducteur. Le corps semi-conducteur comporte une multitude de paliers (24) intérieurs qui sont réalisés de manière similaire à des terrasses. La structure de contact comprend une multitude de pistes conductrices (42) qui sont disposées, eu égard à leurs orientations latérales, par rapport aux orientations latérales des paliers intérieurs de telle manière qu'un étalement de courant est favorisé le long des paliers intérieurs par rapport à un étalement de courant de manière transversale par rapport aux paliers intérieurs. L'invention concerne par ailleurs un procédé de fabrication d'une puce semi-conductrice de ce type.

(DE): Es wird ein Halbleiterchip (10) mit einem Halbleiterkörper (2), einer Stromaufweitungsschicht (3) und einer Kontaktstruktur (4) angegeben, wobei der Halbleiterkörper eine erste Halbleiterschicht (21), eine zweite Halbleiterschicht (22) und eine dazwischenliegende aktive Schicht (23) umfasst und die Stromaufweitungsschicht in vertikaler Richtung zwischen der Kontaktstruktur und dem Halbleiterkörper angeordnet ist. Der Halbleiterkörper weist eine Mehrzahl von inneren Stufen (24) auf, die terrassenähnlich ausgebildet sind, wobei die Kontaktstruktur eine Mehrzahl von Leiterbahnen (42) umfasst, die hinsichtlich deren lateraler Orientierungen in Bezug zu den lateralen Orientierungen der inneren Stufen derart angeordnet sind, dass eine Stromaufweitung entlang der inneren Stufen gegenüber einer Stromaufweitung quer zu den inneren Stufen begünstigt ist. Des Weiteren wird ein Verfahren zur Herstellung eines solchen Halbleiterchips angegeben.

International search report:

Received at International Bureau: 16 July 2018 (16.07.2018) [EP]

International Report on Patentability (IPRP) Chapter II of the PCT:

Not available

(81) Designated States:

AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

European Patent Office (EPO) : AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR

African Intellectual Property Organization (OAPI) : BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG

African Regional Intellectual Property Organization (ARIPO) : BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW

Eurasian Patent Organization (EAPO) : AM, AZ, BY, KG, KZ, RU, TJ, TM