

(12) International Application Status Report

Received at International Bureau: 17 September 2017 (17.09.2017)

Information valid as of: 17 May 2018 (17.05.2018)

Report generated on: 22 July 2019 (22.07.2019)

(10) Publication number:

WO2018/102001

(43) Publication date:

07 June 2018 (07.06.2018)

(26) Publication language:

English (EN)

(21) Application Number:

PCT/US2017/050861

(22) Filing Date:

09 September 2017 (09.09.2017)

(25) Filing language:

English (EN)

(31) Priority number(s):

15/367,549 (US)

(31) Priority date(s):

02 December 2016 (02.12.2016)

(31) Priority status:

Priority document received (in compliance with PCT Rule 17.1)

(51) International Patent Classification:

G11C 16/34 (2006.01); *G11C 16/16* (2006.01)

(71) Applicant(s):

SANDISK TECHNOLOGIES LLC [US/US]; 6900 Dallas Parkway, Suite 325 Plano, Texas 75024 (US) (*for all designated states*)

(72) Inventor(s):

ZHANG, Zhengyi; 951 SanDisk Drive Milpitas, California 95035 (US)

PANG, Liang; 951 SanDisk Drive Milpitas, California 95035 (US)

ZENG, Caifu; 951 SanDisk Drive Milpitas, California 95035 (US)

YU, Xuehong; 951 SanDisk Drive Milpitas, California 95035 (US)

DONG, Yingda; 951 SanDisk Drive Milpitas, California 95035 (US)

(74) Agent(s):

MAGEN, Burt; Vierra Magen Marcus LLP 575 Market Street, Suite 3750 San Francisco, California 94105 (US)

(54) Title (EN): EQUALIZING ERASE DEPTH IN DIFFERENT BLOCKS OF MEMORY CELLS

(54) Title (FR): ÉGALISATION DE PROFONDEUR D'EFFACEMENT DANS DIFFÉRENTS BLOCS DE CELLULES DE MÉMOIRE

(57) Abstract:

(EN): A memory device and associated techniques provide a uniform erase depth for different blocks of memory cells which are at different distances from pass gates of a voltage source. In one approach, a voltage of a source side select gate transistor of a memory string is a decreasing function of the distance. In another approach, a magnitude or duration of an erase voltage at a source end of a memory string is an increasing function of the distance. Adjacent blocks can be arranged in subsets and treated as being at a common distance. In another approach, an additional erase pulse can be applied when the distance of the block exceeds a threshold. Other variables such as initial erase voltage and step size can also be adjusted as a function of distance.

(FR): L'invention concerne un dispositif de mémoire et des techniques associées fournissant une profondeur d'effacement uniforme pour différents blocs de cellules de mémoire qui sont à des distances différentes des grilles de passage d'une source de tension. Selon une approche, une tension d'un transistor à grille de sélection côté source d'une chaîne de mémoire est une fonction décroissante de la distance. Selon une autre approche, une amplitude ou une durée d'une tension d'effacement à une extrémité source d'une chaîne de mémoire est une fonction croissante de la distance. Des blocs adjacents peuvent être agencés en sous-ensembles et traités comme étant à une distance commune. Selon une autre approche, une impulsion d'effacement supplémentaire peut être appliquée lorsque la distance du bloc dépasse un seuil. D'autres variables telles que la tension d'effacement initiale et la taille de l'étape peuvent également être réglées en fonction de la distance.

International search report:

Received at International Bureau: 04 December 2017 (04.12.2017) [EP]

International Report on Patentability (IPRP) Chapter II of the PCT:

Not available

(81) Designated States:

AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

European Patent Office (EPO) : AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR

African Intellectual Property Organization (OAPI) : BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG

African Regional Intellectual Property Organization (ARIPO) : BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW

Eurasian Patent Organization (EAPO) : AM, AZ, BY, KG, KZ, RU, TJ, TM