

(12) International Application Status Report

Received at International Bureau: 13 December 2017 (13.12.2017)

Information valid as of: 05 March 2018 (05.03.2018)

Report generated on: 19 April 2019 (19.04.2019)

(10) Publication number:

WO2018/101468

(43) Publication date:

07 June 2018 (07.06.2018)

(26) Publication language:

Japanese (JA)

(21) Application Number:

PCT/JP2017/043339

(22) Filing Date:

01 December 2017 (01.12.2017)

(25) Filing language:

Japanese (JA)

(31) Priority number(s):

2016-235277 (JP)

(31) Priority date(s):

02 December 2016 (02.12.2016)

(31) Priority status:

Priority document received (in compliance with PCT Rule 17.1)

(51) International Patent Classification:

H05K 1/16 (2006.01); **H01G 4/12** (2006.01); **H01G 4/33** (2006.01); **H01L 23/12** (2006.01); **H05K 3/46** (2006.01)

(71) Applicant(s):

TOPPAN PRINTING CO., LTD. [JP/JP]; 5-1, Taito 1-chome, Taito-ku, Tokyo 1100016 (JP) *(for all designated states)*

(72) Inventor(s):

TAKAGI, Fusao; c/o TOPPAN PRINTING CO., LTD., 5-1, Taito 1-chome, Taito-ku, Tokyo 1100016 (JP)

NAKAMURA, Kiyotomo; c/o TOPPAN PRINTING CO., LTD., 5-1, Taito 1-chome, Taito-ku, Tokyo 1100016 (JP)

(74) Agent(s):

KURATA, Masatoshi; c/o SUZUYE & SUZUYE, 11th Floor, Celestine Shiba Mitsui Bldg., 3-23-1 Shiba, Minato-ku, Tokyo 1050014 (JP)

(54) Title (EN): ELECTRONIC COMPONENT AND METHOD FOR MANUFACTURING ELECTRONIC COMPONENT

(54) Title (FR): COMPOSANT ÉLECTRONIQUE ET PROCÉDÉ DE FABRICATION DE COMPOSANT ÉLECTRONIQUE

(54) Title (JA): 電子部品及び電子部品製造方法

(57) Abstract:

(EN): An electronic component according to the present invention is provided with: a glass base material 100 having a through-hole 101 formed so as to pass through both surfaces thereof; an insulating resin layer 120 that is stacked on each of both surfaces of the glass base material 100 and that has a copper-plated layer 103 formed in the interior thereof; and a capacitor 109 having a lower electrode 110 formed on the copper-plated layer 103, a dielectric layer 111 formed so as to be stacked on the lower electrode 110, and an upper electrode 112 formed so as to be stacked on the dielectric layer 111. A region of the upper electrode 112, said region being along the surface of the copper-plated layer 103, is formed so as to be smaller than a region of the dielectric layer 111, said region being along the surface of the copper-plated layer 103, and a region of the lower electrode 110, said region being along the surface of the copper-plated layer 103. This provides a glass core substrate having a thin-film capacitor with a highly reliable MIM structure and also achieves a compact size, a small thickness, and high reliability.

(FR): La présente invention concerne un composant électronique qui comporte : un matériau de base (100) en verre ayant un trou traversant (101) formé de manière à traverser ses deux surfaces ; une couche de résine isolante (120) qui est empilée sur chacune de deux surfaces du matériau de base (100) en verre et à l'intérieur de laquelle est formée une couche à placage de cuivre (103) ; et un condensateur (109) ayant une électrode inférieure (110) formée sur la couche à placage de cuivre (103), une couche diélectrique (111) formée de manière à être empilée sur l'électrode inférieure (110), et une électrode supérieure (112) formée de manière à être empilée sur la couche diélectrique (111). Une zone de l'électrode supérieure (112), ladite zone étant le long de la surface de la couche à placage de cuivre (103), est formée de manière à être plus petite qu'une zone de la couche diélectrique (111), ladite zone étant le long de la surface de la couche à placage de cuivre (103), et une zone de l'électrode inférieure (110), ladite zone étant le long de la surface de la couche à placage de cuivre (103). Cela permet de réaliser un substrat à noyau de verre ayant un condensateur à couche mince avec une structure MIM à haute fiabilité et d'obtenir une taille compacte, une petite épaisseur, et une haute fiabilité.

(JA): 電子部品は、両面を貫通する貫通孔 101 が形成されたガラス基材 100 と、ガラス基材 100 の両面に積層され、内部に銅めっき層 103 が形成された絶縁樹脂層 120 と、銅めっき層 103 上に形成された下部電極 110 と、下部電極 110 上に積層形成される誘電体層 111 と、誘電体層 111 上に積層形成される上部電極 112 とを有するキャパシタ 109 とを備え、上部電極 112 における銅めっき層 103 の面に沿った領域は、誘電体層 111 の銅めっき層 103 の面に沿った領域及び下部電極 110 の銅めっき層 103 の面に沿った領域よりも小さく形成されることで、信頼性の高い MIM 構造の薄膜キャパシタを有するガラスコア基板を有すると共に、小型化・薄型化・高信頼化を実現できる。

International search report:

Received at International Bureau: 05 March 2018 (05.03.2018) [JP]

International Report on Patentability (IPRP) Chapter II of the PCT:

Not available

(81) Designated States:

AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

European Patent Office (EPO) : AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR

African Intellectual Property Organization (OAPI) : BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG

African Regional Intellectual Property Organization (ARIPO) : BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW

Eurasian Patent Organization (EAPO) : AM, AZ, BY, KG, KZ, RU, TJ, TM