

(12) International Application Status Report

Received at International Bureau: 14 April 2014 (14.04.2014)

Information valid as of: 18 September 2015 (18.09.2015)

Report generated on: 14 June 2021 (14.06.2021)

(10) Publication number:

WO2014/157206

(43) Publication date:

02 October 2014 (02.10.2014)

(26) Publication language:

Japanese (JA)

(21) Application Number:

PCT/JP2014/058291

(22) Filing Date:

25 March 2014 (25.03.2014)

(25) Filing language:

Japanese (JA)

(31) Priority number(s):

2013-069058 (JP)

(31) Priority date(s):

28 March 2013 (28.03.2013)

(31) Priority status:

Priority document received (in compliance with PCT Rule 17.1)

(51) International Patent Classification:

H05K 3/46 (2006.01); **C25D 7/00** (2006.01); **H05K 3/42** (2006.01)

(71) Applicant(s):

HITACHI CHEMICAL COMPANY, LTD. [JP/JP]; 9-2, Marunouchi 1-chome, Chiyoda-ku, Tokyo 1006606 (JP) (*for all designated states*)

(72) Inventor(s):

YOSHIDA Nobuyuki; c/o HITACHI CHEMICAL COMPANY, LTD., 9-2, Marunouchi 1-chome, Chiyoda-ku, Tokyo 1006606 (JP)

(74) Agent(s):

MINAKAWA Kazuyasu; c/o HITACHI CHEMICAL COMPANY, LTD. 9-2, Marunouchi 1-chome, Chiyoda-ku, Tokyo 1006606 (JP)

(54) Title (EN): METHOD FOR MANUFACTURING MULTILAYER WIRING SUBSTRATE

(54) Title (FR): PROCÉDÉ DE FABRICATION D'UN SUBSTRAT DE CÂBLAGE MULTICOUCHE

(54) Title (JA): 多層配線基板の製造方法

(57) Abstract:

(EN): A method for manufacturing a multilayer wiring substrate, wherein an insulation layer and a metal foil in the top layer thereof are integrally layered on an inner-layer material in which wiring is formed, an opening for a via hole is provided in the metal foil and the insulation layer, a base electroless plating layer is formed, and the via hole opening is then filled with an electrolytic filler plating layer, the method for manufacturing a multilayer wiring substrate comprising first forming the electrolytic filler plating layer to an extent so as to not completely fill the via hole opening after the formation of the base electroless plating layer, subsequently etching the surface of the electrolytic filler plating layer, and then completely filling the via hole opening with the electrolytic filler plating layer.

(FR): L'invention concerne un procédé de fabrication d'un substrat de câblage multicouche, caractérisé en ce qu'une couche d'isolation et une feuille métallique dans la couche supérieure de celle-ci sont déposées en couches solitaires sur un matériau de couche interne dans lequel est formé un câblage, une ouverture pour un trou de raccordement est ménagée dans la feuille métallique et la couche d'isolation, une couche de dépôt autocatalytique de base est formée et l'ouverture du trou de raccordement est ensuite remplie avec une couche de dépôt électrolytique de remplissage, le procédé de fabrication d'un substrat de câblage multicouche comprenant tout d'abord la formation de la couche de dépôt électrolytique de remplissage de manière à ne pas remplir complètement l'ouverture du trou de raccordement après la formation de la couche de dépôt autocatalytique de base, puis le décapage de la surface de la couche de dépôt électrolytique de remplissage et le remplissage complet de l'ouverture du trou de raccordement avec la couche de dépôt électrolytique de remplissage.

(JA): 配線形成した内層材上に絶縁層とその上層に金属箔とを積層一体化し、前記金属箔及び絶縁層にビアホール用の穴を設け、下地無電解めっき層を形成した後、電解フィルドめっき層で前記ビアホール用穴を穴埋めする多層配線基板の製造方法であって、前記下地無電解めっき層の形成後に、まず前記ビアホール用穴を完全に充填しない程度

の電解フィロドビアめっき層を形成し、次に前記電解フィロドめっき層の表面をエッチングした上で、電解フィロドめっき層によって前記ビアホール用穴を完全に穴埋めする多層配線基板の製造方法。

International search report:

Received at International Bureau: 19 May 2014 (19.05.2014) [JP]

International Report on Patentability (IPRP) Chapter II of the PCT:

Not available

(81) Designated States:

AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

European Patent Office (EPO) : AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR

African Intellectual Property Organization (OAPI) : BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG

African Regional Intellectual Property Organization (ARIPO) : BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW

Eurasian Patent Organization (EAPO) : AM, AZ, BY, KG, KZ, RU, TJ, TM