

# (12) International Application Status Report

**Received at International Bureau:** 23 October 2012 (23.10.2012)

**Information valid as of:** 11 February 2014 (11.02.2014)

**Report generated on:** 20 March 2019 (20.03.2019)

**(10) Publication number:**

WO2014/030026

**(43) Publication date:**

27 February 2014 (27.02.2014)

**(26) Publication language:**

English (EN)

**(21) Application Number:**

PCT/IB2012/001774

**(22) Filing Date:**

22 August 2012 (22.08.2012)

**(25) Filing language:**

English (EN)

**(51) International Patent Classification:**

**H01L 27/02** (2006.01)

**(71) Applicant(s):**

FREESCALE SEMICONDUCTOR, INC. [US/US]; 6501 William Cannon Drive West Austin, TX 78735 (US) *(for all designated states except US)*

LAINE, Jean Philippe [FR/FR]; 291 chemin Tucaut F-31270 Cugnaux (FR) *(for US only)*

BESSE, Patrice [FR/FR]; 4 bis, impasse Gaston Doumergue F-31170 Tournefeuille (FR) *(for US only)*

**(72) Inventor(s):**

LAINE, Jean Philippe; 291 chemin Tucaut F-31270 Cugnaux (FR)

BESSE, Patrice; 4 bis, impasse Gaston Doumergue F-31170 Tournefeuille (FR)

**(54) Title (EN):** A SEMICONDUCTOR DEVICE COMPRISING AN ESD PROTECTION DEVICE, AN ESD PROTECTION CIRCUITRY, AN INTEGRATED CIRCUIT AND A METHOD OF MANUFACTURING A SEMICONDUCTOR DEVICE

**(54) Title (FR):** DISPOSITIF À SEMI-CONDUCTEUR COMPRENANT UN DISPOSITIF DE PROTECTION CONTRE LES DÉCHARGES ÉLECTRIQUES, ET ENSEMBLE DE CIRCUITS DE PROTECTION CONTRE LES DÉCHARGES ÉLECTRIQUES, CIRCUIT INTÉGRÉ ET PROCÉDÉ DE FABRICATION D'UN DISPOSITIF À SEMI-CONDUCTEUR

**(57) Abstract:**

**(EN):** A semiconductor device (200) is provided which comprises an ESD protection device. The ESD protection device is being formed by one or more pnp transistors which are present in the structure of the semiconductor device (200). The semiconductor device (200) comprises two portions (234, 240) of an isolated p-doped region which are separated by an N-doped region (238). Two p-doped regions (210, 224) are provided within the two portions (23, 240). The p-dopant concentration of the two-doped region (210, 224) is higher than the p-dopant concentration of the isolated p-doped region. A first electrical contact (214) is connected only via a highly doped p-contact region (212) to the first p-doped region (210) and a second electrical contact (222) is connected only via another highly doped p-contact region (222) to the second p-doped region (224).

**(FR):** La présente invention a trait à un dispositif à semi-conducteur (200) qui comprend un dispositif de protection contre les décharges électriques. Le dispositif de protection contre les décharges électriques est constitué d'un ou de plusieurs transistors PNP qui sont présents dans la structure du dispositif à semi-conducteur (200). Le dispositif à semi-conducteur (200) comprend deux parties (234, 240) d'une région dopée P isolée qui sont séparées par une région dopée N (238). Deux régions dopées P (210, 224) sont prévues à l'intérieur des deux parties (23, 240). La densité des atomes dopants P des deux régions dopées P (210, 224) est supérieure à la densité des atomes dopants P de la région dopée P isolée. Un premier contact électrique (214) est connecté uniquement par l'intermédiaire d'une région de contact P hautement dopée (212) à la première région dopée P (210) et un second contact électrique (222) est connecté uniquement par l'intermédiaire d'une autre région de contact P hautement dopée (222) à la seconde région dopée P (224).

**International search report:**

Received at International Bureau: 02 April 2013 (02.04.2013) [EP]

**International Report on Patentability (IPRP) Chapter II of the PCT:**

Not available

**(81) Designated States:**

AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

European Patent Office (EPO) : AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR

African Intellectual Property Organization (OAPI) : BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG

African Regional Intellectual Property Organization (ARIPO) : BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW

Eurasian Patent Organization (EAPO) : AM, AZ, BY, KG, KZ, RU, TJ, TM