

(12) International Application Status Report

Received at International Bureau: 10 June 2010 (10.06.2010)

Information valid as of: 13 December 2010 (13.12.2010)

Report generated on: 21 January 2021 (21.01.2021)

(10) Publication number:

WO2011/003309

(43) Publication date:

13 January 2011 (13.01.2011)

(26) Publication language:

Chinese (ZH)

(21) Application Number:

PCT/CN2010/073386

(22) Filing Date:

31 May 2010 (31.05.2010)

(25) Filing language:

Chinese (ZH)

(31) Priority number(s):

200910158548.8 (CN)

(31) Priority date(s):

10 July 2009 (10.07.2009)

(31) Priority status:

Priority document received (in compliance with PCT Rule 17.1)

(51) International Patent Classification:

H04J 3/06 (2006.01)

(71) Applicant(s):

ZTE CORPORATION [CN/CN]; ZTE Plaza, Keji Road South, Hi-Tech Industrial Park, Nanshan Shenzhen, Guangdong 518057 (CN) *(for all designated states except US)*

LI, Xin [CN/CN]; ZTE Plaza, Keji Road South, Hi-Tech Industrial Park, Nanshan Shenzhen, Guangdong 518057 (CN) *(for US only)*

CAO, Zhigang [CN/CN]; ZTE Plaza, Keji Road South, Hi-Tech Industrial Park, Nanshan Shenzhen, Guangdong 518057 (CN) *(for US only)*

(72) Inventor(s):

LI, Xin; ZTE Plaza, Keji Road South, Hi-Tech Industrial Park, Nanshan Shenzhen, Guangdong 518057 (CN)

CAO, Zhigang; ZTE Plaza, Keji Road South, Hi-Tech Industrial Park, Nanshan Shenzhen, Guangdong 518057 (CN)

(74) Agent(s):

AFD CHINA INTELLECTUAL PROPERTY LAW OFFICE; Suite B 1601A, 8 Xue Qing Rd., Haidian Beijing 100192 (CN)

(54) Title (EN): CLOCK UNIT REALIZATION METHOD AND CLOCK UNIT DEVICE

(54) Title (FR): PROCÉDÉ DE RÉALISATION D'UNE UNITÉ D'HORLOGE ET DISPOSITIF À UNITÉ D'HORLOGE

(54) Title (ZH): 一种实现时钟单元的方法及时钟单元装置

(57) Abstract:

(EN): A clock unit realization method and a clock unit device are disclosed by the present invention, which solve the problem that the stability of using analog phase locked loop is not high and the cost of using chips is too high. The method includes: performing count phase discrimination processing on a reference clock signal and a local clock signal to obtain a phase discrimination value by using a global working clock, performing the frequency division factor adjustment processing on the global working clock by using the phase discrimination value, performing the frequency division processing on the clock signal, which is obtained by performing frequency division processing on the global working clock, to obtain a local clock signal by using the first frequency division factor. Performing frequency division processing on the global working clock to obtain the local clock signal by using the frequency division factor which is obtained based on the phase discrimination value, the present invention can realize phase locked loop tracking synchronization, thereby improving the stability, and reducing the cost.

(FR): La présente invention concerne un procédé de réalisation d'une unité d'horloge et un dispositif à unité d'horloge qui permettent de surmonter le manque de stabilité provoqué par l'utilisation d'une boucle à verrouillage de phase analogique ainsi que d'éviter le coût trop élevé des puces. Ledit procédé consiste : à effectuer un traitement de discrimination de phase de décompte sur un signal d'horloge de référence et sur un signal d'horloge locale afin d'obtenir une valeur de discrimination de phase au moyen d'une horloge au fonctionnement global ; à effectuer un traitement de réglage de facteur de répartition en fréquence sur ladite horloge au fonctionnement global au moyen de la valeur de discrimination de phase ; à effectuer un traitement de répartition en fréquence sur le signal d'horloge obtenu par la réalisation d'un traitement de répartition en fréquence sur l'horloge au fonctionnement global, afin d'aboutir à un signal d'horloge locale grâce au premier facteur de répartition en fréquence. Puisque le

traitement de répartition en fréquence est effectué sur l'horloge au fonctionnement global afin d'obtenir le signal d'horloge locale au moyen du facteur de répartition en fréquence obtenu sur la base de la valeur de discrimination de phase, la présente invention permet la synchronisation du suivi d'une boucle à verrouillage de phase, ce qui améliore la stabilité et limite les coûts.

(ZH): 本发明公开了一种实现时钟单元的方法及时钟单元装置,解决现有技术中采用模拟锁相环稳定性不高、采用芯片成本太大的问题,该方法包括:采用全局工作时钟对参考时钟信号和本地时钟信号进行计数鉴相处理得到鉴相值,采用鉴相值对全局工作时钟进行分频系数调整处理,通过第一分频系数对全局工作时钟进行分频处理后得到的时钟信号进行分频处理得到本地时钟信号。本发明采用根据鉴相值得到的分频系数对全局工作时钟进行分频处理,进而得到本地时钟信号实现锁相环跟踪同步,因此可以提高稳定性,并降低成本。

International search report:

Received at International Bureau: 12 September 2010 (12.09.2010) [CN]

International Report on Patentability (IPRP) Chapter II of the PCT:

Not available

(81) Designated States:

AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

European Patent Office (EPO) : AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR

African Intellectual Property Organization (OAPI) : BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG

African Regional Intellectual Property Organization (ARIPO) : BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW

Eurasian Patent Organization (EAPO) : AM, AZ, BY, KG, KZ, MD, RU, TJ, TM