

(12) International Application Status Report

Received at International Bureau: 10 March 2005 (10.03.2005)

Information valid as of: (..)

Report generated on: 20 September 2019 (20.09.2019)

(10) Publication number:

WO2006/090445

(43) Publication date:

31 August 2006 (31.08.2006)

(26) Publication language:

Japanese (JA)

(21) Application Number:

PCT/JP2005/002908

(22) Filing Date:

23 February 2005 (23.02.2005)

(25) Filing language:

Japanese (JA)

(51) International Patent Classification:

H01L 27/12 (2006.01); **H01L 21/3205** (2006.01); **H01L 21/8234** (2006.01); **H01L 21/8244** (2006.01); **H01L 27/08** (2006.01); **H01L 27/11** (2006.01); **H01L 29/786** (2006.01)

(71) Applicant(s):

FUJITSU LIMITED [JP/JP]; 1-1, Kamikodanaka 4-chome, Nakahara-ku, Kawasaki-shi, Kanagawa 2118588 (JP) (*for all designated states except US*)

FUKUTOME, Hidenobu [JP/JP]; c/o FUJITSU LIMITED, 1-1, Kamikodanaka 4-chome, Nakahara-ku, Kawasaki-shi, Kanagawa 2118588 (JP) (*for US only*)

(72) Inventor(s):

FUKUTOME, Hidenobu; c/o FUJITSU LIMITED, 1-1, Kamikodanaka 4-chome, Nakahara-ku, Kawasaki-shi, Kanagawa 2118588 (JP)

(74) Agent(s):

YOKOYAMA, Junichi; c/o Fujitsu Limited, 1-1 Kamikodanaka 4-chome Nakahara-ku, Kawasaki-shi Kanagawa 2118588 (JP)

(54) Title (EN): SEMICONDUCTOR CIRCUIT DEVICE, AND METHOD FOR MANUFACTURING THE SEMICONDUCTOR CIRCUIT DEVICE

(54) Title (FR): DISPOSITIF DE CIRCUIT A SEMI-CONDUCTEUR ET SON PROCEDE DE FABRICATION

(54) Title (JA): 半導体回路装置及びその半導体回路装置の製造方法

(57) Abstract:

(EN): To provide a semiconductor integrated circuit device, which has components of a fin-type FET suited for a high integration LSI and formed on a supporting substrate and which uses wires buried in trenches of the supporting substrate for connecting the components, and a method for manufacturing the semiconductor integrated circuit device. The semiconductor integrated circuit device comprises a MOS transistor element or the fin-type FET having a stereoscopic isolation area of silicon formed on a supporting substrate and a gate electrode formed on the surface of the stereoscopic isolation area of silicon, buried wires buried in trenches formed in self-alignment in the stereoscopic isolation area of silicon of the supporting substrate, and on-substrate wires on the supporting substrate. The MOS transistor elements are connected by the buried wires and the on-substrate wires.

(FR): L'invention a trait à un dispositif de circuit intégré à semi-conducteur, lequel possède des composants d'un transistor à effet de champ (FET) de type à ailette adaptés pour une LSI de forte intégration et qui est formé sur un substrat support et utilise des câbles enterrés en tranchées dans le substrat support pour connecter les composants. L'invention décrit également un procédé de fabrication du dispositif de circuit intégré à semi-conducteurs. Le dispositif de circuit intégré à semi-conducteur comprend un élément transistor MOS ou un FET à ailette possédant une zone d'isolation stéréoscopique formée sur un support de substrat, ainsi qu'une électrode de grille formée sur la surface du support en silicium de la zone d'isolation stéréoscopique, des fibres enterrés en tranchées formées en alignement sur la surface en silicium de la zone d'isolation stéréoscopique du substrat support et des fils posés sur le substrat support. Les éléments de transistor MOS sont connectés par les fils enterrés et les fils posés sur le substrat.

(JA): 本発明の課題は、高集積LSIに好適な、支持基板上に形成されたfin型FETを構成素子として有する半導体集積回路装置及びその製造方法に関するものであり、構成素子間を接続するのに、支持基板中の溝に埋め込まれた配線を用いた半導体集積回路装置及びその製造方法を提供することを目的とする。上記の課題を解決するため、支持基板上に形成されたシリコンの立体孤立領域と前記シリコンの立体孤立領域の表面に形成されたゲート電極とを有するMOSトランジスタ素子、すなわち、fin型FETと、その支持基板中、シリコンの立体孤立領域に自己整合的に形成され

た溝に、埋め込まれた埋込配線と、前記支持基板上の基板上配線とを備え、前記埋込配線と前記基板上配線とを用いて前記MOSトランジスタ素子間の接続が行われることを特徴とする半導体回路装置及びその製造方法を提供する。

International search report:

Received at International Bureau: 09 June 2005 (09.06.2005) [JP]

International Report on Patentability (IPRP) Chapter II of the PCT:

Not available

(81) Designated States:

AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

European Patent Office (EPO) : AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR

African Intellectual Property Organization (OAPI) : BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG

African Regional Intellectual Property Organization (ARIPO) : BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW

Eurasian Patent Organization (EAPO) : AM, AZ, BY, KG, KZ, MD, RU, TJ, TM